

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s):	Teiichiro Nishizaka	Examiner:	Unassigned
Serial No.:	Unassigned	Art Unit:	Unassigned
Filed:	Herewith	Docket:	16877
For:	NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE, METHOD FOR MANUFACTURING SAME AND METHOD FOR CONTROLLING SAME		Dated: August 1, 2003

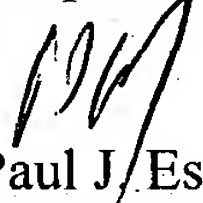
Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450, Alexandria, VA 22313-1450

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application No. 2002-225085 filed August 1, 2002.

Respectfully submitted,


Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343/4366 Fax

CERTIFICATE OF MAILING BY "EXPRESS MAIL"

Express Mailing Label No.: EV185861346US
Date of Deposit: August 1, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Commissioner for Patents and Trademarks, Box 1450, Alexandria, VA 22313-1450.

Dated: August 1, 2003


Paul J. Esatto, Jr.

US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 1日

出 願 番 号

Application Number:

特願2002-225085

[ST.10/C]:

[JP2002-225085]

出 願 人

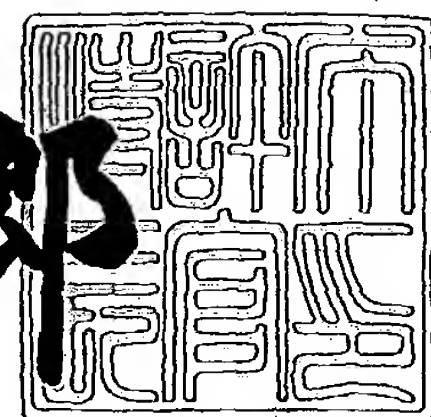
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034341

【書類名】 特許願

【整理番号】 75010425

【提出日】 平成14年 8月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/02
G11C 16/04
H01L 21/8247
H01L 27/115
H01L 29/788

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 西坂 禎一郎

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法と制御方法

【特許請求の範囲】

【請求項 1】

基板表面に設けられた第 1 の拡散層と、

前記第 1 の拡散層に隣接する基板上の第 1 の領域に設けられた第 1 の絶縁膜と

、
前記第 1 の絶縁膜の上に設けられた第 1 のゲート電極と、

前記第 1 の領域に隣接する前記基板上の第 2 の領域に設けられた第 2 の絶縁膜と、

前記第 2 の絶縁膜の上に設けられた第 2 のゲート電極と、

で 1 つの単位セルを構成し、

前記第 2 のゲート電極の延在部に位置する、前記基板表面の第 3 の領域には、
第 2 の拡散層が設けられており、

前記単位セルにおいて前記第 1 のゲート電極は、前記第 2 のゲート電極上を絶縁膜を介して交差する、ことを特徴とする半導体記憶装置。

【請求項 2】

基板表面に互いに離間して設けられた第 1 及び第 2 の拡散層と、

前記第 1 及び第 2 の拡散層にそれぞれ隣接する基板上の第 1 及び第 2 の領域に
設けられた第 1 及び第 2 の絶縁膜と、

前記第 1 及び第 2 の絶縁膜の上に設けられた第 1 及び第 2 のゲート電極と、

前記第 1 及び第 2 の領域のそれぞれに隣接する前記基板上の第 3 の領域に設け
られた第 3 の絶縁膜と、

前記第 3 の絶縁膜の上に設けられた第 3 のゲート電極と、

前記第 3 のゲート電極の上に設けられた第 4 の絶縁膜と、

で 2 ビット情報を記憶するセルを構成し、

前記第 1 及び第 2 のゲート電極とは、前記第 4 の絶縁膜の上で共通に接続され
ワード線電極をなし、

前記第 3 のゲート電極は、前記ワード線に直交する方向に延在されるコントロ

ールゲート電極をなし、

前記第 3 のゲート電極の延在部に位置する、前記基板表面の第 4 の領域には、第 3 の拡散層が設けられている、ことを特徴とする半導体記憶装置。

【請求項 3】

基板表面に設けられた第 1 の拡散層に隣接する領域に、基板上、第 1 の絶縁膜を介して配設されるコントロールゲート電極の長手方向の一端又は両端に位置して、前記基板表面に設けられた埋め込み拡散層を備え、

前記コントロールゲートと前記第 1 の拡散層との間の領域に、電荷捕獲膜を含む第 2 の絶縁膜を介して第 1 のゲート電極を備え、

前記第 1 のゲート電極は、前記コントロールゲート電極に直交して配設されるワード線電極に接続されており、

前記第 1 の拡散層と、前記第 1 のゲートと、前記コントロールゲートと、前記埋め込み拡散層とで 1 つの単位セルを構成してなる、ことを特徴とする半導体記憶装置。

【請求項 4】

基板表面に互いに離間して配設される 2 列の第 1 及び第 2 の拡散層と、

前記第 1 及び第 2 の拡散層の列の間の領域に、基板上に、第 1 の絶縁膜を介して配設されるコントロールゲート電極と、

前記コントロールゲート電極の長手方向の一端又は両端に位置する領域に、基板表面に設けられた埋め込み拡散層と、

を備え、

前記第 1 の拡散層と前記コントロールゲートとの間の第 1 の領域、及び、前記第 2 の拡散層と前記コントロールゲートとの間の第 2 の領域に、電荷捕獲膜を含む第 2 及び第 3 絶縁膜を介して第 1 及び第 2 のゲート電極が設けられ、

前記第 1 及び第 2 のゲート電極は、前記コントロールゲート電極に直交して配接されているワード線電極に接続され、

前記第 1 の拡散層と、前記第 1 のゲート、前記コントロールゲートと、前記埋め込み拡散層とで、第 1 の単位セルを構成し、

前記第 2 の拡散層と、前記第 2 のゲートと、前記コントロールゲート電極と、

前記埋め込み拡散層とで第 2 の単位セルを構成している、ことを特徴とする半導体記憶装置。

【請求項 5】

基板表面に互いに離間した第 1 及び第 2 の領域に設けられた第 1 及び第 2 の拡散層と、

基板上の前記第 1 及び第 2 の領域の間の第 3 の領域に設けられた第 1 の絶縁膜と、

前記第 1 の絶縁膜の上に設けられた第 1 の導電部材と、

前記第 1 の導電部材の上に設けられた第 2 の絶縁膜と、

前記第 1 の絶縁膜と前記第 1 の導電部材と前記第 2 の絶縁膜よりなる第 1 のゲート構造の側壁の両側に設けられ、底部が前記基板に当設し、前記第 1 のゲート構造の側壁をなし、且つ、前記第 1 及び第 2 の領域側にそれぞれ延在されている第 3 及び第 4 の絶縁膜と、

前記第 2 の絶縁膜の上に設けられている第 2 の導電部材と、

を備え、

前記第 2 の導電部材は、前記基板側に突設され、前記第 3 及び第 4 の絶縁膜の側壁とそれぞれ当接している第 1 及び第 2 の脚部を有し、

前記第 1 の導電部材は、前記第 2 の導電部材と互いに直交して配置され、前記第 1 の導電部材の長手方向の少なくとも一端に埋め込み拡散層が設けられている、ことを特徴とする半導体記憶装置。

【請求項 6】

前記第 1 及び第 2 拡散層が、前記第 1 導電部材と前記第 1 及び第 2 の脚部をマスクとして自己整合で作製されたものである、ことを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】

前記第 3、第 4 の絶縁膜が、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜がこの順に積層されてなる積層誘電体膜よりなる、ことを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 8】

前記第 2 の絶縁膜が、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜がこの順に積層されてなる積層誘電体膜よりなる、ことを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 9】

前記第 2 の導電部材の前記第 1 及び第 2 の脚部が、前記第 3 及び第 4 の絶縁膜の側壁と、前記第 1 及び第 2 の拡散層との間の領域の、前記第 3 及び第 4 の絶縁膜の上に設けられており、

前記第 1 及び第 2 の拡散層の上の前記第 3 及び第 4 の絶縁膜の上にはそれぞれ第 5 及び第 6 の絶縁膜が設けられ、前記第 2 の絶縁膜と前記第 5 及び第 6 の絶縁膜の上に前記第 2 の導電部材が延在され、ワード線電極を構成している、ことを特徴とする請求項 5 乃至 8 のいずれか一に記載の半導体記憶装置。

【請求項 10】

前記第 2 の導電部材の前記第 1 及び第 2 の脚部が、前記第 3 及び第 4 の絶縁膜の側壁から、前記第 1 及び第 2 の拡散層の上の領域にわたって設けられている、ことを特徴とする請求項 5 乃至 8 のいずれか一に記載の半導体記憶装置。

【請求項 11】

基板表面のメモリセルエリアにおいて一の方向に沿って互いに平行に延在され互いに離間して配設されている複数列の拡散層を備え、

複数列の前記拡散層はそれぞれ対応するビット線に接続され、

前記基板表面において、前記複数列の拡散層の長手方向の両端から、離間した位置に、前記一の方向に直交する方向に延在された埋め込み拡散層を備え、

前記基板上に、電荷捕獲膜を含む第 1 の絶縁膜を介して設けられ前記一の方に直交する方向に互いに平行に延在されてなる複数本のワード線電極と、

それぞれが、前記基板上に、対応する 1 つの前記拡散層に隣接する位置に、第 2 の絶縁膜を介して設けられ、前記一の方に沿って延在されてなる、複数本のコントロールゲート電極と、

を備え、

前記コントロールゲート電極は、前記第 2 の絶縁膜を介して前記埋め込み拡散層と立体交差している、ことを特徴とする半導体記憶装置。

【請求項 1 2】

前記メモリセルエリアの第 1 の側と前記第 1 の側に反対側の第 2 の側のそれぞれに、複数の選択トランジスタを備え、

前記第 1 の側の選択トランジスタとして、少なくとも、

第 1 の信号端子が第 1 のグローバルビット線に接続され、第 2 の信号端子が第 1 のビット線に接続され、制御端子が第 1 の選択信号に接続されている第 1 の選択トランジスタと、

第 1 の信号端子が前記第 1 のグローバルビット線に接続され、第 2 の信号端子が第 2 のビット線に接続され、制御端子が第 2 の選択信号に接続されている第 2 の選択トランジスタと、

を有し、

前記第 1 及び第 2 ビット線が、それぞれに対応する 2 つの前記拡散層の一端にコンタクトで接続され、

前記第 2 の側の選択トランジスタとして、少なくとも、

第 1 の信号端子が第 2 のグローバルビット線に接続され、第 2 の信号端子が第 3 のビット線に接続され、制御端子が第 3 の選択信号に接続されている第 3 の選択トランジスタと、

第 1 の信号端子が前記第 2 のグローバルビット線に接続され、第 2 の信号端子が第 4 のビット線に接続され、制御端子が第 4 の選択信号に接続されている第 4 の選択トランジスタと、

を有し、

前記第 1 の側の選択トランジスタに接続されるビット線に対応する前記拡散層の列と、前記第 2 の側の選択トランジスタに接続されるビット線に対応する前記拡散層の列とが交互に配設されている、ことを特徴とする請求項 1 1 記載の半導体記憶装置。

【請求項 1 3】

前記第 1 の側の選択トランジスタ群が配置される領域と、第 1 の前記埋め込み拡散層との間の基板の上に、絶縁膜を介して、第 1 の前記埋め込み拡散層の長手方向に沿って、第 1 のコントロールゲート電極の基部が配設され、

前記第 1 のコントロールゲート電極の基部からは、前記第 2 の側に向けて、基板上に、絶縁膜を介して、第 1 群の前記コントロールゲート電極が配設され、

前記第 2 の側の選択トランジスタが配置される領域と、第 2 の前記埋め込み拡散層との間の基板上に、絶縁膜を介して、第 2 の前記埋め込み拡散層の長手方向に沿って、第 2 のコントロールゲート電極の基部が配設され、

前記第 2 のコントロールゲート電極の基部からは、前記第 1 の側に向けて、絶縁膜を介して第 2 群の前記コントロールゲート電極が配設され、

第 1 群の前記コントロールゲート電極は、少なくとも前記第 2 の埋め込み拡散層まで延在されており、

前記第 2 群のコントロールゲート電極は、少なくとも前記第 1 の埋め込み拡散層まで延在されており、

前記メモリセルエリアにおいて、前記第 1 群のコントロールゲート電極と、前記第 2 群のコントロールゲート電極とが、前記拡散層を間に挟んで、交互に配設されている、ことを特徴とする請求項 1 2 記載の半導体記憶装置。

【請求項 1 4】

メモリセルが複数の前記ワード線電極を単位に、複数組に分割されて構成され、

相隣る組の間の領域において、前記埋め込み拡散層が設けられている、ことを特徴とする請求項 1 1 又は 1 2 記載の半導体記憶装置。

【請求項 1 5】

選択されたワード線電極を第 1 の正電圧とし、

選択されたセルのコントロールゲート電極に、しきい値電圧 (V_t) またはしきい値電圧 (V_t) よりも所定電圧高い第 2 の電圧を与え、

前記埋め込み拡散層に接地電位を与え、

前記セルの書き込み対象の記憶ノードに近い方の拡散層に接続するビット線に第 3 の正電圧を印加することで、前記埋め込み拡散層を電子供給源とし、前記記憶ノードに、ソースサイド・インジェクションで書き込みが行われる、ことを特徴とする請求項 3、4、1 1 乃至 1 4 のいずれか一に記載の半導体記憶装置。

【請求項 1 6】

前記ワード線電極を接地電位もしくは負電圧とし、

前記拡散層に接続するビット線に第 5 の正電圧を与え、

前記コントロールゲート電極に第 6 の正電圧を印加し、さらに前記埋め込み拡散層に第 4 の電圧を印加し、コントロールゲート電極直下のチャネルにホールバリアを形成して、セルの消去が行われる、ことを特徴とする請求項 3、4、11 乃至 15 のいずれかに記載の半導体記憶装置。

【請求項 17】

前記メモリセルエリアの全てのビット線に前記第 5 の正電圧を与え、

前記メモリセルエリアの全ての前記ワード線電極を接地電位もしくは負電圧とし、

前記メモリセルエリアの全ての前記コントロールゲート電極に前記第 6 の正電圧を印加し、前記メモリセルエリアのセルの一括消去が行われる、ことを特徴とする請求項 16 記載の半導体記憶装置。

【請求項 18】

前記埋め込み拡散層に第 7 の正電圧を印加し、

読み出し対象のセルの前記コントロールゲートに第 8 の正電圧を印加し、

前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線に接地電位を印加し、

選択されたワード線電極に第 9 の正電圧を印加することで、

前記埋め込み拡散層をドレイン側にして読み出す、構成とされてなる、ことを特徴とする請求項 3、4、11 乃至 17 のいずれかに記載の半導体記憶装置。

【請求項 19】

前記埋め込み拡散層に接地電位を印加し、

読み出し対象のセルの前記コントロールゲートに第 8 の正電圧を印加し、

前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線に第 7 の正電圧を印加し、

選択されたワード線電極に第 9 の正電圧を印加することで、

前記埋め込み拡散層をソース側にして読み出す、構成とされてなる、ことを特徴とする請求項 3、4、11 乃至 17 のいずれかに記載の半導体記憶装置。

【請求項 2 0】

選択されたセルの隣りのセルのコントロールゲート電極は接地電位とされている、ことを特徴とする請求項 1 5、1 8、1 9 記載のいずれか一に記載の半導体記憶装置。

【請求項 2 1】

半導体基板上に、第 1 の絶縁膜と、第 1 の導電膜をこの順に堆積する工程と、
前記第 1 の導電膜の上に第 2 の絶縁膜を堆積する工程と、

前記第 1 の絶縁膜、前記第 1 の導電膜、及び前記第 2 の絶縁膜よりなる積層膜をパタン形成してコントロールゲートを形成する工程と、

第 3 の絶縁膜を基板全面に堆積する工程と、

第 2 の導電膜を基板全面に堆積したのち、前記第 3 の絶縁膜で覆われた前記コントロールゲートの側壁に前記第 2 の導電膜をサイドウォール状に形成する工程と、

前記コントロールゲートと前記第 2 の導電膜のサイドウォールをマスクにイオン注入を行い、セルフアラインで基板表面に拡散層を形成する工程と、

第 4 の絶縁膜を基板全面に形成したのち、研磨又はエッチバックにより、前記第 2 の導電膜のサイドウォール上部を露出させる工程と、

第 3 の導電膜を基板全面に堆積したのち、前記第 3 の導電膜及び前記第 2 の導電膜のサイドウォールを選択的に除去し、ワード線を形成する工程と、

を含む、ことを特徴とする半導体記憶装置の製造方法。

【請求項 2 2】

前記第 3 の絶縁膜が、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜の積層膜よりなる、ことを特徴とする請求項 2 1 記載の半導体記憶装置の製造方法。

【請求項 2 3】

前記半導体基板に埋め込み拡散層を形成しておく工程を含み、

前記コントロールゲートが、少なくとも前記埋め込み拡散層まで延在されてパタン形成される、ことを特徴とする請求項 2 1 記載の半導体記憶装置の製造方法。

【請求項 2 4】

基板表面に互いに離間して配設される 2 列の第 1 及び第 2 の拡散層と、

前記第 1 及び第 2 の拡散層の列の間の領域に、基板上に、第 1 の絶縁膜を介して配設されるコントロールゲート電極と、

前記コントロールゲート電極の長手方向の一端又は両端に位置する領域に、基板表面に設けられた埋め込み拡散層と、

を備え、

前記第 1 の拡散層と前記コントロールゲートとの間の第 1 の領域、及び、前記第 2 の拡散層と前記コントロールゲートとの間の第 2 の領域に、電荷捕獲膜を含む第 2 及び第 3 絶縁膜を介して第 1 及び第 2 のゲート電極が設けられ、

前記第 1 及び第 2 のゲート電極は、前記コントロールゲート電極に直交して配接されているワード線電極に接続され、

前記第 1 の拡散層と、前記第 1 のゲート、前記コントロールゲートと、前記埋め込み拡散層とで、第 1 の単位セルを構成し、

前記第 2 の拡散層と、前記第 2 のゲートと、前記コントロールゲート電極と、前記埋め込み拡散層とで第 2 の単位セルを構成している、半導体記憶装置の制御方法であって、

選択されたワード線電極を第 1 の正電圧とし、

選択されたセルのコントロールゲート電極に、しきい値電圧 (V_t) 又はしきい値電圧 (V_t) よりも所定電圧高い第 2 の電圧を与え、

前記埋め込み拡散層に接地電位を与え、

前記セルの書き込み対象の記憶ノードに近い方の拡散層に接続するビット線に第 3 の正電圧を印加する、工程を含み、

前記埋め込み拡散層を電子供給源とし、前記記憶ノードに、ソースサイド・インジェクションで書き込みが行われる、ことを特徴とする半導体記憶装置の制御方法。

【請求項 2 5】

前記埋め込み拡散層に第 4 の電圧を印加し、

前記ワード線電極を接地電位もしくは負電圧とし、

前記拡散層に接続するビット線に第 5 の正電圧を与え、

前記コントロールゲート電極に第 6 の正電圧を印加する、工程を含み、
前記コントロールゲート電極直下のチャネルにホールバリアを形成して、セルの消去が行われる、ことを特徴とする請求項 2 4 記載の半導体記憶装置の制御方法。

【請求項 2 6】

前記メモリセルエリアの全ての前記ワード線電極を接地電位もしくは負電圧とし、

前記メモリセルエリアの全てのビット線に前記第 5 の正電圧を与え、

前記メモリセルエリアの全ての前記コントロールゲート電極を前記第 6 の正電圧を印加する、工程を含み、

前記メモリセルエリアのセルの一括消去が行われる、ことを特徴とする請求項 2 5 に記載の半導体記憶装置の制御方法。

【請求項 2 7】

前記埋め込み拡散層に第 7 の正電圧を印加し、

読み出し対象のセルの前記コントロールゲート電極に第 8 の正電圧を印加し、

前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線に接地電位を印加し、

選択されたワード線電極に第 9 の正電圧を印加する、工程を含み、

前記埋め込み拡散層をドレイン側にして読み出しが行われる、ことを特徴とする請求項 2 4 乃至 2 6 のいずれか一に記載の半導体記憶装置の制御方法。

【請求項 2 8】

前記埋め込み拡散層に接地電位を印加し、

読み出し対象のセルの前記コントロールゲート電極に第 8 の正電圧を印加し、

前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線に第 7 の正電圧を印加し、

選択されたワード線電極には、第 9 の正電圧を印加する工程を含む、

前記埋め込み拡散層をソース側にして読み出される、ことを特徴とする請求項 2 4 乃至 2 6 のいずれか一に記載の半導体記憶装置の制御方法。

【請求項 2 9】

選択されたセルの隣りのセルのコントロールゲート電極が接地電位とされている、ことを特徴とする請求項 2 4、2 7、2 8 のいずれか一に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、不揮発性半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

この種の従来の半導体記憶装置として、1セルあたり2ビット情報を記憶する不揮発性半導体記憶装置として、図23に模式的に示すようなセルトランジスタが知られている。基板11の表面に設けられた拡散層12A、12Bの間のチャネル形成領域の基板上に、絶縁膜13とコントロールゲート電極15、その両側に絶縁膜14とワード線電極16が設けられている。

【0 0 0 3】

この種のメモリセルとして、例えば、

(1) A novel 2-bit/cell MONOS memory device with a wrapped -control-gate structure that applies source-side hot-electron injection, 2002 Symposium on VLSI technology Digest of a Technical Papers, p206-207.

(2) 特開2001-230332号公報(特願2000-269892)

(3) 特開2002-26149号公報(特願2000-180763)

(4) 特開2001-357681号公報(特願2000-180760)

(5) 米国特許 US 6, 399, 441

(6) 米国特許 US 6, 388, 293

等が参照される。

【0 0 0 4】

また1セルあたり2ビットを記憶するメモリセルの別の構成として、図24に示すような構成が提案されている。例えば下記の刊行物(10)(特表2001-512290公報)の記載によれば、基板上、酸化シリコン膜、窒化シリコン

膜、酸化シリコン膜をこの順に積層した誘電体膜（「ONO (oxide nitride oxide) 膜」という）をゲート絶縁膜 1 4 として備えたMONOS (Metal-ONO-Silicon) 構造の不揮発性メモリは、ゲート電極直下の酸化シリコン膜で挟まれた電荷捕獲膜（窒化シリコン膜）に 1 セルあたり 2 ビットのデータを記憶することができる。電荷捕獲膜を有し 1 セルあたり 2 ビットの記憶ノードを有するEEPROM (Electrically Erasable and Programmable ROM) メモリセルにおいて、2 個の個別ビット、すなわち左側ノードNode 1 と右側ノードNode 2 が電荷捕獲膜内の空間的に離れた領域に形成される。2 個のビット（記憶ノード）の読み出しは、それが書き込まれたときの方向とは逆方向の読み出しで行われる。例えば、ONO 膜 1 4 中の電荷捕獲膜のNode 2 の書き込みは、ゲート電極 1 6 とドレイン拡散層 1 2 B に書き込み用の正電圧を印加しソース拡散層 1 2 A を接地させて、十分に加速されたホット・エレクトロンがONO 膜 1 4 内の電荷捕獲膜のドレイン拡散層 1 2 B に隣接した領域に注入される。そして、記憶ビットの読み出しは、書き込みとは逆方向に行われ、ゲート電極 1 6 とソース拡散層 1 2 A にそれぞれ正電圧を印加し、ドレイン拡散層 1 2 B を接地して読み出しを行う。またメモリセルの消去は、例えばゲート電極 1 6 に適切な消去電圧を印加し、Node 2 の消去を行うには、ドレイン拡散層 1 2 B に、Node 1 の消去を行うにはソース拡散層 1 2 A に消去用電圧を印加し電荷捕獲膜から電子を排出させる。このように、所定のゲート電圧、ドレイン、ソースの電圧設定により、ゲート電極の直下の電荷捕獲膜に左右、独立に 2 つのビットを記憶することができる。

【 0 0 0 5 】

この種のメモリセルとして、例えば、

(7) 米国特許 US 6,011,725

(8) 米国特許 US 6,256,231

(9) 特開 2 0 0 1 - 1 5 6 1 8 9 号公報 (特願 2 0 0 0 - 3 0 6 9 9 9)

(10) 特表 2 0 0 1 - 5 1 2 2 9 0 公報 (特願 2 0 0 0 - 5 0 5 6 4 0)

【 0 0 0 6 】

次に、上記刊行物 (1) に記載されている 2 ビットセルMONOSメモリデバ

イスについて詳細に説明する。

【 0 0 0 7 】

上記刊行物 (1) には、図 2 5 (A) 乃至図 2 5 (C) に示すような 1 セル 2 ビット構成の MONOS メモリの断面図と等価回路と、書きこみ、消去、読み出し動作時のバイアス条件が開示されている。

【 0 0 0 8 】

メモリセルは、基板表面に設けられた不純物拡散層の対 (ビット線の対) と、拡散層の間の基板表面上の酸化シリコン膜の上に設けられたコントロールゲート (control gate) CG と、基板表面上の酸化シリコン膜の両側に設けられる ONO 膜の上に、コントロールゲートと直交する方向に延在されているワード線 (word line) WL と、を備えており、ソース・サイド・ホットエレクトロン・インジェクションでノードへの書きこみ (Program) が行われ、ホットホールインジェクションで消去が行われる。

【 0 0 0 9 】

上記刊行物 (1) によれば、コントロールゲート CG [I + 2 n] の右側 (right hand side) の、ワード線 WL [j] の下の各記憶サイトは、並列にプログラムされる。ビット線 BL [I + 2 n - 1] はグランド電位とされ、ビット線 BL [I + 2 n] は 5 . 0 V にバイアスされ、ワード線 WL [j] は 9 . 0 V にバイアスされる。コントロールゲート CG [I + 2 n] は、ソース・サイド・ホットエレクトロン・インジェクションを誘起 / 抑制するために 1 . 0 V / 0 . 0 V にバイアスされる。コントロールゲートの右側に記憶された情報は、図 2 5 (C) のバイアス条件により生じるホットホール注入で消去される。また読み出し時には、ビット線 BL [I + 2 n - 1] は 1 . 5 V 、ビット線 BL [i + 2 n] は 0 . 0 V にバイアスされ、ワード線 WL [j] は V read にバイアスされ、コントロールゲート CG [I + 2 n] は、1 . 5 V にバイアスされる。コントロールゲート CG [I + 2 n] の左側 (left hand side) に対する記憶サイトをプログラム / 消去するには、ビット線 BL [I + 2 n - 1] 、 BL [I + 2 n] のバイアス条件は交換される。メモリセルの各ビットは、図 2 5 (C) に示されるように、リーバースリードを適用することで読み出しが行われる。

【0010】

【発明が解決しようとする課題】

次に、図26を参照して、上記刊行物(1)に記載されているメモリセルの書き込み(Program)動作について検討する。以下は、本願発明者らの研究結果に基づき解析結果を示したものである。

【0011】

図26(A)は、上記刊行物(1)に記載されているメモリセルの構成を示す図である。図26(A)において、201は半導体基板、202はN+拡散層(単に「拡散層」ともいう)、203はゲート絶縁膜、204はONO膜、205はコントロールゲート(電極)、206はワード線(電極)である。ノード1(Node1)に、書き込み(Program)を行う場合、ビット線BL1に5V、BL2に0Vの電圧を印加する。またワード線206には、9Vの電圧を印加する($V_{WL}=9V$)。このとき、コントロールゲート205には、1Vの電圧を印加し($V_{CG}=1.0V$)、チャネルにながれる電流を低く抑えている。すなわち、チャネル抵抗が高くなるため、図26(B)に示すように、電界を集中させ、ONO膜204中へ電子を注入させる。最大電界点は、ワード線206とコントロールゲート205の境界に発生する。この電界が集中した箇所で、ソース拡散層(BL2)から移動してきた電子が、最大電界強度付近で加速され、高いエネルギーを持つ。加速された電子は、ワード線206の正電界に吸い上げられ、ワード線206と、コントロールゲート205の境界部分より、少しドレイン拡散層(BL1)側に寄ったONO膜204中にトラップされる。なお、逆側の記憶ノードに書き込むときは、上述とソースとドレインのバイアス電圧を交換することで実現できる。

【0012】

ここで、ONO膜204中の電子トラップ箇所(図26(A)において、Node1で指示される黒丸で示す)は、ワード線電極206とコントロールゲート電極205との境界付近であって、ドレイン拡散層202(BL1)から一定距離離れた箇所に存在している。

【0013】

上記したように、Program動作では、ソースサイド・インジェクション現象を利用している。

【0014】

次に、図27を参照して、上記刊行物(1)に記載されているメモリセルの読み出し動作(Read動作)について検討する。以下では、第1のノード(Node 1)には電子がトラップされていず、第2のノード(Node 2)に電子がトラップされている場合について説明する。

【0015】

第1のノード(Node 1)の読み出しを行う場合、ビット線BL2に1.5V、BL1に0Vの電圧を印加する。すなわち、読み出しを行うノード側の拡散層202をソースにして読み出しを行う。第1のノード(Node 1)には、電子がトラップされていないため、メモリセルには、読み出し電流が流れるはずであるが、第2のノード(Node 2)にトラップされている電子がチャネル表面のポテンシャルに影響し、チャネル電流が流れにくくなる。

【0016】

この問題を回避するためには、ビット線BL2には、比較的高い電圧を印加して、空乏層207を伸ばし、第2のノード(Node 2)にトラップされた電子の影響を見えなくしなければならない。

【0017】

また、ワード線電極206とコントロールゲート電極205の境界付近に位置する電子トラップ領域と、ビット線拡散層との距離(本明細書では、この距離を「トラップスペース」という)(図27参照)は、製造ばらつきの影響を受ける。

【0018】

例えばトラップスペースが大きいと、BL拡散層202に、大きな電圧を印加する必要がある。例えばトラップスペースが0.1 μ m程度になると、2~3Vの電圧が必要になる。

【0019】

そして製造ばらつきにより、トラップスペースの距離がばらつくと、チャネル

電流が変動するため、安定な回路動作を得ることが困難になる。

【 0 0 2 0 】

次に、トラップスペースとチャネル電流の関係について本願発明者らによる解析結果を基に説明する。

【 0 0 2 1 】

図 2 8 (A) は、第 1 のノード (N o d e 1)、第 1 のノード (N o d e 2) とともに、電子がトラップされていない状態でのメモリセルトランジスタの電圧－電流 ($V-I$) 特性である。この場合、通常のトランジスタの特性を示している。なお、図 2 8 の電圧－電流 ($V-I$) 特性は、本願発明者らが試作したデバイスの実測図である。

【 0 0 2 2 】

一方、図 2 8 (B) には、第 2 のノード (N o d e 2) のみに電子トラップされた場合、第 2 のノード (N o d e 2) 側にドレイン電圧 (図中の横軸) を印加したときの、チャネル電流 (図中の縦軸) 特性を示す。また、コントロールゲートとワード線には同一電圧 V_g が印加されている。

【 0 0 2 3 】

このメモリセルのトラップスペースは、およそ $0.03 \sim 0.05 \mu m$ と推定している。このように、トラップスペースが、小さい場合には、ドレインに $1.5 V$ 程度の電圧でも十分な電流を確保することが出来る。

【 0 0 2 4 】

しかしながら、図 2 8 (C) に示すように、トラップスペースが長くなった場合を疑似的に作り出すと、もはや、メモリセルのチャネル電流を確保することは困難である。すなわち、コントロールゲートとワード線の電圧 V_g を $4 V$ とした場合に相当する状態を疑似的に作り出すと、ドレイン電圧 $1.5 V$ でわずかなチャネル電流が流れるだけであり、 $V_g = 3 V$ では全く流れない。

【 0 0 2 5 】

このように、メモリセル電流は、トラップスペースの長さに大きく依存し、製造ばらつきの影響を強く受けてしまうことがわかる。

【 0 0 2 6 】

次に、図29を参照して、上記刊行物(1)に記載されているメモリセルの消去(Erase動作)について説明する。消去動作は、ホット・ホール注入現象を利用し、電子トラップ領域にトラップされた電子をホールで中和することにより消去させるものである。

【0027】

第1のノード(Node 1)にトラップされた電子を中和する場合、ビット拡散層(BL1)端子に、高電圧(例えば $V_{BN}=7.0V$)を印加すると、N型拡散層202とP型シリコン基板201の接合部で、バンド間トンネリング現象でホット・ホールが発生する。このホール(正孔)は、ワード線206のポテンシャルに引き寄せられて、ONO膜204中へ注入される。

【0028】

ホールは、BL1端子のN型拡散層202のポテンシャルに逆らうように、第2のノード(Node 2)側へ拡散していくが、ワード線206のポテンシャルに引き寄せられてONO膜204中へ注入されるホールは、実際には、ほんの一部である。

【0029】

更に、トラップスペースが長すぎる場合、発生したホールは、シリコン基板201中を拡散して広がるため、中和現象が起きにくくなる。

【0030】

上記の通り、上記した刊行物(1)に記載された構成の従来の半導体記憶装置の課題をまとめると、次の通りである。

【0031】

リード時のメモリセル電流が、製造ばらつきの影響を受けやすいトラップスペース長に依存し、安定な特性を得ることができない。

【0032】

消去特性がトラップスペース長に依存し、消去特性が不安定である。

【0033】

製造ばらつきを受けにくい、トラップスペース長を確保し実現する手法がない。

【 0 0 3 4 】

したがって、本発明の主たる目的は、寸法の製造ばらつき等に起因する、チャネル電流の変動を抑え、安定な回路動作を得る半導体記憶装置及びその製造方法と制御方法を提供することにある。

【 0 0 3 5 】

【課題を解決するための手段】

上記目的を達成する本発明の一のアスペクトに係る、半導体記憶装置は、基板表面に設けられた第1の拡散層と、前記第1の拡散層に隣接する基板上の第1の領域に設けられた第1の絶縁膜と、前記第1の絶縁膜の上に設けられた第1のゲート電極と、前記第1の領域に隣接する前記基板上の第2の領域に設けられた第2の絶縁膜と、前記第2の絶縁膜の上に設けられた第2のゲート電極と、で1つの単位セルを構成し、前記第2のゲート電極の延在部に位置する、前記基板表面の第3の領域には、第2の拡散層が設けられており、前記単位セルにおいて前記第1のゲート電極は、前記第2のゲート電極上を絶縁膜を介して交差する構成とされ、前記単位セルは1ビット情報を記憶する。

【 0 0 3 6 】

本発明の他のアスペクトに係る2ビットセルトランジスタは、単位セルを対称に配置したものであり、基板表面に互いに離間して設けられた第1及び第2の拡散層と、前記第1及び第2の拡散層にそれぞれ隣接する基板上の第1及び第2の領域に設けられた第1及び第2の絶縁膜と、前記第1及び第2の絶縁膜の上に設けられた第1及び第2のゲート電極と、前記第1及び第2の領域のそれぞれに隣接する前記基板上の第3の領域に設けられた第3の絶縁膜と、前記第3の絶縁膜の上に設けられた第3のゲート電極と、前記第3のゲート電極の上に設けられた第4の絶縁膜と、で2ビット情報を記憶するセルを構成し、前記第1及び第2のゲート電極とは、前記第4の絶縁膜の上で共通に接続されワード線電極をなし、前記第3のゲート電極は、前記ワード線に直交する方向に延在されるコントロールゲート電極をなし、前記第コントロールゲート電極の延在部に位置する、前記基板表面の第4の領域には、第3の拡散層が設けられている。

【 0 0 3 7 】

本発明に係る単位セルのレイアウト構成として、基板表面に設けられた第1の拡散層に隣接する領域に、基板上、第1の絶縁膜を介して配設されるコントロールゲート電極の長手方向の一端又は両端に位置して、前記基板表面に設けられた埋め込み拡散層を備え、前記コントロールゲートと前記第1の拡散層との間の領域に、電荷捕獲膜を含む第2の絶縁膜を介して第1のゲート電極を備え、前記第1のゲート電極は、前記コントロールゲート電極に直交して配設されるワード線電極に接続されており、前記第1の拡散層と、前記第1のゲートと、前記コントロールゲートと、前記埋め込み拡散層とで1つの単位セルを構成している。

【 0 0 3 8 】

本発明に係る2ビットセルのレイアウト構成は、基板表面に互いに離間して配設される2列の第1及び第2の拡散層と、前記第1及び第2の拡散層の列の間の領域に、基板上に、第1の絶縁膜を介して配設されるコントロールゲート電極と、前記コントロールゲート電極の長手方向の一端又は両端に位置する領域に、基板表面に設けられた埋め込み拡散層と、を備え、前記第1の拡散層と前記コントロールゲートとの間の第1の領域、及び、前記第2の拡散層と前記コントロールゲートとの間の第2の領域に、電荷捕獲膜を含む第2及び第3絶縁膜を介して第1及び第2のゲート電極が設けられ、前記第1及び第2のゲート電極は、前記コントロールゲート電極に直交して配接されているワード線電極に接続され、前記第1の拡散層と、前記第1のゲート、前記コントロールゲートと、前記埋め込み拡散層とで、第1の単位セルを構成し、前記第2の拡散層と、前記第2のゲートと、前記コントロールゲート電極と、前記埋め込み拡散層とで第2の単位セルを構成している。

【 0 0 3 9 】

本発明の他のアスペクトに係る半導体記憶装置において、メモリセルアレイのレイアウトは、基板表面のメモリセルエリアにおいて一の方向に沿って互いに平行に延在され互いに離間して配設されている複数列の拡散層を備え、複数列の前記拡散層はそれぞれ対応するビット線に接続され、前記基板表面において、前記複数列の拡散層の長手方向の両端から、離間した位置に、前記一の方向に直交する方向に延在された埋め込み拡散層を備え、前記基板上に、電荷捕獲膜を含む第

1 の絶縁膜を介して設けられ前記一の方に直交する方向に互いに平行に延在されてなる複数本のワード線電極と、それぞれが、前記基板上に、対応する 1 つの前記拡散層に隣接する位置に、第 2 の絶縁膜を介して設けられ、前記一の方に沿って延在されてなる、複数本のコントロールゲート電極と、を備え、前記コントロールゲート電極は、前記第 2 の絶縁膜を介して前記埋め込み拡散層と立体交差している。相隣る 2 列の拡散層と、2 列の拡散層の間の前記コントロールゲートと、前記コントロールゲートと交差するワード線とが、2 ビットメモリセルを構成している。

【 0 0 4 0 】

本発明の他のアスペクトに係る半導体記憶装置において、セルへの書き込みは、選択されたワード線電極を第 1 の正電圧とし、選択されたセルのコントロールゲート電極に、しきい値電圧 (V_t) またはしきい値電圧 (V_t) よりも所定電圧高い第 2 の電圧を与え、前記埋め込み拡散層に接地電位を与え、前記セルの書き込み対象の記憶ノードに近い方の拡散層に接続するビット線に第 3 の正電圧を印加することで、前記埋め込み拡散層を電子供給源とし、前記記憶ノードに、ソースサイド・インジェクションで書き込みが行われる。

【 0 0 4 1 】

本発明において、セルの消去は、前記ワード線電極を接地電位もしくは負電圧とし、前記拡散層に接続するビット線に第 5 の正電圧を与え、前記コントロールゲート電極に第 6 の正電圧を印加し、さらに前記埋め込み拡散層に第 4 の電圧を印加し、コントロールゲート電極直下のチャネルにホールバリアを形成して、セルの消去が行われる。前記メモリセルエリアの全てのビット線に前記第 5 の正電圧を与え、前記メモリセルエリアの全ての前記ワード線電極を接地電位もしくは負電圧とし、前記メモリセルエリアの全ての前記コントロールゲート電極を前記第 6 の正電圧を印加し、前記メモリセルエリアのセルの一括消去が行われる。

【 0 0 4 2 】

本発明において、セルの読み出しは、前記埋め込み拡散層に、第 7 の正電圧を印加し、読み出し対象のセルの前記コントロールゲートに、第 8 の正電圧を印加し、前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線

に接地電位を印加し、選択されたワード線電極には、第 9 の正電圧を印加することで、前記埋め込み拡散層をドレイン側にして読み出す、構成とされている。あるいは、本発明において、セルの読み出しは、前記埋め込み拡散層に、接地電位を印加し、読み出し対象のセルの前記コントロールゲートに、第 8 の正電圧を印加し、前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線に第 7 の正電圧を印加し、選択されたワード線電極には、第 9 の正電圧を印加することで、前記埋め込み拡散層をソース側にして読み出す、構成とされている。

【 0 0 4 3 】

本発明の他のアスペクトに係る半導体記憶装置の製造方法は、以下の工程を含む。

- (a) 半導体基板上に、第 1 の絶縁膜と、第 1 の導電膜をこの順に堆積する。
- (b) 前記第 1 の導電膜の上に第 2 の絶縁膜を堆積する。
- (c) 前記第 1 の絶縁膜、前記第 1 の導電膜、及び前記第 2 の絶縁膜よりなる積層膜をパターン形成してコントロールゲートを形成する。
- (d) 第 3 の絶縁膜を基板全面に堆積する。第 3 の絶縁膜は、好ましくは、電荷捕獲膜を含む。
- (e) 第 2 の導電膜を基板全面に堆積したのち、前記第 3 の絶縁膜で覆われた前記コントロールゲートの側壁に前記第 2 の導電膜をサイドウォール状に形成する。
- (f) 前記コントロールゲートと前記第 2 の導電膜のサイドウォールをマスクにイオン注入を行い、セルフアラインで基板表面に拡散層を形成する工程と、
第 4 の絶縁膜を基板全面に形成したのち、研磨又はエッチバックにより、前記第 2 の導電膜のサイドウォール上部を露出させる。
- (g) 第 3 の導電膜を基板全面に堆積したのち、前記第 3 の導電膜及び前記第 2 の導電膜のサイドウォールを選択的に除去し、ワード線を形成する。上記工程により、本発明に係る半導体記憶装置の製造方法によれば、トラップスペースは、製造ばらつきの影響を受けにくく、安定したサイズが確保される。

【 0 0 4 4 】

【発明の実施の形態】

図 2 2 は、本発明のメモリセルトランジスタの構成を模式的に示す図である。図 2 2 参照して、本発明の構成及び動作原理について説明する。1つの単位セルは、基板 1 1 の表面に設けられた第 1 の拡散層 1 2 A と、第 1 の拡散層 1 2 A に隣接する基板上の第 1 の領域に設けられた第 1 の絶縁膜 1 4 A と、第 1 の絶縁膜 1 4 A の上に設けられた第 1 のゲート電極 1 6 A と、第 1 の領域に隣接する前記基板上の第 2 の領域に設けられた第 2 の絶縁膜 1 3 と、第 2 の絶縁膜 1 3 の上に設けられた第 2 のゲート電極 1 5 とから構成されており、第 2 のゲート電極 1 5 の長手方向の端部に位置する、基板表面の第 3 の領域（不図示）に第 2 の拡散層を有し、第 1 のゲート電極 1 6 A は、第 2 のゲート電極 1 5 に直交して配置されている。

【0 0 4 5】

そして、本発明の実施の形態によれば、1つの単位セルと線対称に別の単位セルが配置される。

【0 0 4 6】

図 2 2 を参照すると、基板表面に互いに離間して設けられた第 1、及び第 2 の拡散層 1 2 A、1 2 B と、第 1 の拡散層 1 2 A に隣接する基板上の第 1 の領域に設けられた第 1 の絶縁膜 1 4 A と、第 1 の絶縁膜 1 4 A の上に設けられた第 1 のゲート電極 1 6 A と、第 1 の領域にそれぞれ隣接する基板上の第 2 の領域に設けられた第 2 の絶縁膜 1 3 と、第 2 の絶縁膜 1 3 の上に設けられた第 2 のゲート電極 1 5 と、第 2 の拡散層 1 2 B に隣接する基板上の第 3 の領域に設けられた第 3 の絶縁膜 1 4 B と、第 3 の絶縁膜 1 4 B の上に設けられた第 3 のゲート電極 1 6 B と、で 2 ビットのセルを構成し、第 1 及び第 3 のゲート電極 1 6 A、1 6 B は共通に接続されワード線電極をなし、第 2 のゲート電極は、ワード線電極に直交する方向に延在されるコントロールゲート電極をなし、コントロールゲート電極の長手方向の端部に位置する、基板表面の第 4 の領域に第 3 の拡散層（図示されない）を有する。

【0 0 4 7】

本発明において、セルへの書き込みは、選択されたワード線電極を第 1 の正電

圧 ($V_{WL} = 8V$) とし、選択されたセルのコントロールゲート電極にしきい値電圧 (V_t) より所定電圧高い第2の電圧 ($V_t + \alpha$) を与え、前記埋め込み拡散層に $0V$ を与え、前記セルの書き込み対象の記憶ノードに近い方の拡散層に接続するビット線に第3の正電圧 ($V_{BL} = 5V$) を印加することで、前記埋め込み拡散層を電子供給源とし、前記記憶ノードに、ソースサイド・インジェクションで書き込みが行われる。

【 0 0 4 8 】

本発明において、セルの消去は、埋め込み拡散層に第4の電圧 ($V_{SBL} = 3V$) を印加し、選択された前記ワード線電極を $0V$ もしくは負電圧とし ($V_{WL} = 0V$)、前記拡散層に接続するビット線に第5の正電圧 ($V_{BL} = 5V$) を与え、前記コントロールゲート電極を第6の正電圧 ($V_{cg} = 5V$) を印加して、メモリセルエリアのセルの消去を行う。

【 0 0 4 9 】

本発明において、セルの読み出しは、前記埋め込み拡散層に、第7の正電圧 ($V_{SBL} = 1 \sim 2V$) を印加し、読み出し対象のセルの前記コントロールゲートに、第8の正電圧 ($V_{cg} = 3V$) を印加し、前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線に $0V$ を印加し ($V_{BL} = 0V$)、選択されたワード線電極には、第9の正電圧 ($V_{WL} = 3V$) を印加することで、前記埋め込み拡散層をドレイン側にして読み出す。

【 0 0 5 0 】

本発明において、セルの読み出しは、前記埋め込み拡散層に $0V$ を印加し、読み出し対象のセルの前記コントロールゲートに、第8の正電圧を印加し ($V_{cg} = 3V$)、前記セルの読み出し対象の記憶ノードに近い方の拡散層に接続するビット線に第7の正電圧 ($V_{BL} = 1 \sim 2V$) を印加し、選択されたワード線電極には第9の正電圧 ($V_{WL} = 3V$) を印加することで、前記埋め込み拡散層をソース側にして読み出す。

【 0 0 5 1 】

本発明のメモリセルトランジスタにおいては、Node 1 への書き込みを行う場合、コントロールゲートチャネルをソースにして、ソースサイド・インジェク

ションを行うことにより、非対象記憶ノードN o d e 2を介することなく、対象記憶ノードN o d e 1への書き込みを行う構成とされており、安定な書き込み特性を得ることができる。

【 0 0 5 2 】

本発明のメモリセルトランジスタによれば、記憶ノードの読み出し時に、コントロールゲートチャネルをドレインにして読み出すことで、非対象記憶ノードを介することなく、対象記憶ノードの読み出しを行う構成とされている。

【 0 0 5 3 】

このように、本発明のメモリセルトランジスタは、実質的に、1ビットセルとして機能させることができるため、安定なメモリセル電流を確保することができる。

【 0 0 5 4 】

さらに、本発明のメモリセルトランジスタによれば、消去時に、コントロールゲートのチャネルに正電位を加えることで、ホールの拡散を防止し、電子トラップ領域にホールが注入されるため、効率的な消去を実現している。

【 0 0 5 5 】

本発明の一実施の形態の製造方法は、半導体基板（1 0 1）上に、第1の絶縁膜（1 0 3）を形成し、その上に、第1の導電膜（1 0 5）を形成する工程と、前記第1の導電膜（1 0 5）の上に第2の絶縁膜（1 0 7）を形成する工程と、

フォトマスクを用いて、第1の絶縁膜（1 0 3）、第1の導電膜（1 0 5）、及び第2の絶縁膜（1 0 7）をパターン形成して、コントロールゲートを形成する工程と、

セルトランジスタの電荷捕獲膜として機能する膜を含む第3の絶縁膜（1 0 4）を基板全面に形成する工程と、

第2の導電膜（1 0 6 A）を基板全面に形成し、前記第3の絶縁膜で覆われた前記コントロールゲートの側壁に、第2の導電膜（1 0 6 A）をサイドウォール状に形成する工程と、

コントロールゲート電極（1 0 5）と第2の導電膜（1 0 6 A）のサイドウォ

ールをマスクにイオン注入を行い、セルフアラインで基板表面に拡散層（102）を形成する工程と、

第4の絶縁膜（107A）を基板全面に形成した後、研磨又はエッチバックにより、第2の導電膜（106A）のサイドウォール頂部及びコントロールゲート電極（105）の上の第2の絶縁膜（107）を露出させる工程と、

第3の導電膜（106）を形成し、第3の導電膜及び第2の導電膜のサイドウォールを選択的に除去し、ワード線を形成する工程と、

を含む。

【0056】

本発明の実施の形態の製造方法によれば、コントロールゲート電極とワード線電極サイドウォールをマスクに、セルフアラインで拡散層を形成しており、このため、ワード線電極とコントロールゲート電極の境界付近に位置する電子捕獲領域（記憶ノード）と拡散層との距離（トラップスペース）は、製造ばらつきの影響を受けにくく、デバイスの特性の安定性が向上する。

【0057】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して詳細に説明する。図1は、本発明の第1の実施例のメモリセルトランジスタの断面を模式的に示す図である。図1を参照すると、基板101表面に設けられたN+拡散層102（「拡散層102」という）の対は、基板内を図の垂直方向に延在されて配設され、ビット線を形成している（「ビット拡散層」ともいう）。N+拡散層102の間の基板上に設けられた酸化シリコン膜103と、酸化シリコン膜103の上に設けられたコントロールゲート電極105を備え、コントロールゲート（Control Gate）電極105の上には、酸化シリコン膜107が設けられている。

【0058】

酸化シリコン膜103と、コントロールゲート電極105、及び酸化シリコン膜107の積層体よりなるコントロールゲートの両側の側壁には、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜よりなるONO膜104の側壁が設けられ

ており、側壁をなすONO膜104の底部は、基板101の表面と当接し、ONO膜104は基板101表面上を、それぞれ、N+拡散層102側に向けて延在され、N+拡散層102を覆っている。

【0059】

ワード線電極106は、コントロールゲート電極105の長手方向と直交する方向に延在され、コントロールゲート電極105と立体交差する。すなわち、ワード線電極106は、コントロールゲート電極105との交差部において、コントロールゲート電極105上に設けられた酸化シリコン膜107に当接している。そしてワード線電極106は、コントロールゲートの両側のONO膜104に沿って基板方向に突設されている、 π 型の2本の脚部を有している。ワード線電極106の2本の脚部は、コントロールゲートの両側のONO膜104と側面で当接し、底部は、拡散層102に隣接する基板101上に設けられたONO膜104の表面に当接している。コントロールゲート電極105の側部とワード線電極106の脚部とはONO膜104を介して電氣的な絶縁が確保されている。

【0060】

拡散層102の上のONO膜104と、上方のワード線電極106との間には酸化シリコン膜107よりなる絶縁膜が設けられている。

【0061】

単位セル110は、1つの拡散層102と、該拡散層102に隣接するONO膜104の上に設けられたワード線電極106と、ゲート絶縁膜103の上に設けられたコントロールゲート電極105と、からなる。図1において、電子トラップ領域は、Nodeで示されており、ワード線電極106とコントロールゲート電極105の境界付近のONO膜104内に位置している。

【0062】

後述するように、このノード(Node)をプログラムする場合、コントロールゲート電極105の図の垂直方向端部に位置する拡散層をソース、すなわち電子供給源として、ソースサイド・インジェクションにて、ノード(Node)にホットエレクトロンを注入することで行われる。

【0063】

すなわち、図 1 には、2 つの単位セル (Unit Cell) が示されており、一方の単位セルのノードをプログラムするとき、他方の単位セルのノードがプログラムされるということはない。その理由は、2 つの拡散層 1 0 2 間のチャネル領域にチャネル電流が流れないためである。

【 0 0 6 4 】

ワード線電極 1 0 6 は、例えば多結晶シリコンよりなる。また、多結晶シリコン表面に、高融点金属シリサイドを設ける構成としてもよいことは勿論である。

【 0 0 6 5 】

図 2 は、本発明の第 2 の実施例のメモリセルトランジスタの断面を模式的に示す図である。図 2 を参照すると、拡散層 1 0 2 の上に ONO 膜 1 0 4 を介してワード線電極 1 0 6 が設けられている。図 1 に示した前記第 1 の実施例では、拡散層 1 0 2 上の ONO 膜 1 0 4 上に酸化シリコン膜 1 0 7 が設けられ、酸化シリコン膜 1 0 7 の表面とワード線電極 1 0 6 が当接するという構成とされているが、本実施例においては、拡散層 1 0 2 上の ONO 膜 1 0 4 の表面に、ワード線電極 1 0 6 の脚部底面が当接している点が相違している。

【 0 0 6 6 】

図 3 は、本発明の第 3 の実施例のメモリセルトランジスタの断面を模式的に示す図である。前記第 1 の実施例では、図 1 に示すように、コントロールゲートのゲート絶縁膜に酸化シリコン膜 1 0 3 を用いている。図 3 (A) に示すように、この実施例では、コントロールゲートのゲート絶縁膜として ONO 膜 1 0 4 を用いている。これ以外の構成は、前記第 1 の実施例と同様である。図 3 (B) を参照すると、ONO 膜 1 0 4 は、第 1 の酸化シリコン膜、窒化シリコン膜、第 2 の酸化シリコン膜の三層の積層体よりなる。

【 0 0 6 7 】

図 4 は、本発明の第 4 の実施例の断面を模式的に示す図である。前記第 2 の実施例では、図 2 に示すように、コントロールゲートのゲート絶縁膜に酸化シリコン膜 1 0 3 を用いている。図 4 に示すように、この実施例では、コントロールゲートのゲート絶縁膜として ONO 膜 1 0 4 を用いている。これ以外の構成は、前記第 2 の実施例と同様である。

【 0 0 6 8 】

次に、図 1 に示したメモリセルトランジスタを複数含む半導体記憶装置の製造方法の一実施例について説明する。

【 0 0 6 9 】

図 5 乃至図 7 は、本発明の製造方法の一実施例を製造工程順に示した工程断面図である。なお、図 5 乃至図 7 は、単に、図面作成の都合で、分図されている。

【 0 0 7 0 】

P 型半導体基板 1 0 1 上に、酸化シリコン膜（熱酸化により膜厚 1 5 ~ 3 0 n m）1 0 3 を形成し、その上に、膜厚 1 0 0 ~ 2 5 0 n m の多結晶シリコン 1 0 5 を形成する（図 5（A）参照）。多結晶シリコンは、リンドーピングシリコンや砒素不純物のイオン注入などの方法により、N 型化しておくことが望ましい。また、P 型シリコン基板 1 0 1 には、ホウ素イオンなどを注入して必要な表面濃度にしておくことが好ましい。

【 0 0 7 1 】

多結晶シリコン上に、膜厚 2 0 0 ~ 4 0 0 n m の上部酸化シリコン膜 1 0 7 を C V D（化学気相成長）法で形成する。この膜は、窒化シリコン膜や窒化酸化シリコン膜であってもよい。その後、フォトリソを用い、上部酸化シリコン膜及び多結晶シリコン膜を選択的に除去し、コントロールゲート電極を形成する（図 5（B）参照）。

【 0 0 7 2 】

こののち、P 型シリコン基板 1 0 1 表面の酸化シリコン膜は、フッ酸などで除去し、基板表面を露出させておくほうが望ましい。

【 0 0 7 3 】

表面に O N O 膜 1 0 4 を形成する（図 5（C）参照）。O N O 膜 1 0 4 の下側の酸化シリコン膜は、C V D または熱酸化により形成され、好ましくは、3 ~ 9 n m の膜厚とされる。また、窒化シリコン膜の膜厚は、好ましくは、3 ~ 9 n m 程度とされる。

【 0 0 7 4 】

O N O 膜 1 0 4 の上側酸化シリコン膜を、この窒化シリコン膜を酸化して形成

する場合は、酸化で減少する膜厚を考慮して、窒化シリコンの膜厚が設定される。

【 0 0 7 5 】

また、ONO膜104の上側酸化シリコン膜は、CVDまたは窒化シリコン膜を熱酸化して形成しても良い。ONO膜104の上側の酸化シリコン膜厚は、好ましくは、3～9 nm程度とされる。なお、窒化シリコン膜を酸化する方法として、ISSG酸化法(InSitu Steam Generation)を用いてもよい。

【 0 0 7 6 】

次に、多結晶シリコン膜(Poly Si)をCVD法により、50～100 nmの膜厚で成長する。多結晶シリコンは、リンまたは砒素不純物を含有したN型であることが好ましい。

【 0 0 7 7 】

しかる後、ドライエッチング法により、多結晶シリコン膜106Aを、先に形成したコントロールゲート側壁に、サイドウォール状に形成する(図6(A)参照)。多結晶シリコンのサイドウォールの幅は、多結晶シリコンの製膜時の膜厚に概ね等しい。

【 0 0 7 8 】

一般に、膜形成時の製造ばらつきは約5%程度であるため、トラップスペース長の製造バラツキを、特段に小さく抑えることが可能になる。

【 0 0 7 9 】

コントロールゲート電極と、多結晶シリコン膜のサイドウォールをマスクにし、ONO膜104を透過するエネルギーで、Asのイオン注入を行い、N+拡散層102を形成する(図6(B)参照)。注入量(ドーズ)は、 $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 程度が好ましい。イオン注入後、必要に応じて、窒素雰囲気での熱処理を施しても良い。Asのイオン注入において、埋め込みN+拡散層(図8の111)を覆う領域上は、マスクが設けられる。

【 0 0 8 0 】

次に、基板全面に、酸化シリコン膜107Aを形成する(図7(A)参照)。この工程では、酸化シリコン膜107AをCVD法で形成する。成長膜厚は、コ

ントロールゲート電極間が、酸化シリコン膜 1 0 7 A で埋め込まれる膜厚でありさえすればよい。特に、埋め込み性を向上させるために、HDP（高密度プラズマ CVD）などを用いてもよい。BPSG（boro-phospho silicate glass）膜等を形成し、熱処理でリフローするようにしてもよいことは勿論である。

【 0 0 8 1 】

CMP（Chemical Mechanical Polishing）技術を用いて酸化シリコン膜 1 0 7 A を研磨する。このとき、注意すべき点は、サイドウォール多結晶シリコン 1 0 6 A の上部は露出し、かつ、コントロールゲート電極の多結晶シリコン膜 1 0 5 は露出しないようにする。なお、CMP 以外に、ドライエッチングまたはウェットエッチングによる酸化シリコン膜のエッチバックを行っても良いことは勿論である。

【 0 0 8 2 】

しかる後、基板全面に多結晶シリコン 1 0 6 を形成する。多結晶シリコンは、好ましくは、リンや砒素などの不純物をドーピングした N 型とされる（図 7（B）参照）。

【 0 0 8 3 】

次に、フォトレジスト（不図示）をマスクに、ドライエッチング法により、被着した多結晶シリコン、及び、コントロールゲート側壁に形成した多結晶シリコンを選択除去し、ワード線を形成する。

【 0 0 8 4 】

ワード線をなす多結晶シリコン 1 0 6 上に、W S i などの低抵抗材を被着するか、高融点金属シリサイドプロセスを適用することも可能である。

【 0 0 8 5 】

一方、図 2 に示した本発明の第 2 の実施例のセルトランジスタの製造においては、例えば図 6（B）のセルフアラインによる N + 拡散層 1 0 2 を形成後、多結晶シリコン 1 0 6 を基板全面に堆積した後、研磨して、図 2 に示す断面構造を形成し、ワード線のパターン形成を行い、その際、コントロールゲート側壁に形成した多結晶シリコンを選択除去し、その後、酸化シリコン等の絶縁膜を堆積するようにしてもよい。また、図 3 に示した本発明の第 2 の実施例のセルトランジスタ

の製造においては、図 5 (A) において、P 型シリコン基板 1 0 1 上に、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜よりなる ONO 膜がゲート絶縁膜 (図 5 (A) の 1 0 3) として成膜される点が相違している。

【 0 0 8 6 】

次に、本発明の一実施例のメモリセルアレイの構成について説明する。図 8 は、本発明の一実施例のメモリセルアレイの構成を示す図である。

【 0 0 8 7 】

図 8 を参照すると、メモリセルアレイは、基板表面 (表層) の一方向 (図の横方向) に沿って延在され互いに離間して配設されており、コンタクトによりビット線に接続される複数列の N + 拡散層 1 0 2 (「ビット拡散層」ともいう) が設けられている。また基板表面において、複数列の拡散層 1 0 2 の長手方向の両端から離間した位置に、前記一方向に直交する方向 (図の縦方向) に沿って延在された埋め込み N + 拡散層 (「埋め込み拡散層」ともいう) 1 1 1 が設けられている。基板上に絶縁膜 (不図示) を介して設けられ拡散層 1 0 2 の長手方向に直交する方向に延在された複数本のワード線電極 1 0 6 が設けられている。基板上に、絶縁膜 (不図示) を介して設けられ拡散層 1 0 2 の列の間に一方向に沿って延在された複数本のコントロールゲート電極 1 0 5 が設けられており、コントロールゲート電極 1 0 5 は、不図示の絶縁膜を介して、図 8 では埋め込み N + 拡散層 1 1 1 (図 9 (B) 参照) と立体交差している。図 8 において、相隣る 2 列の拡散層 1 0 2 と、相隣る 2 列の拡散層 1 0 2 の間のワード線電極 1 0 6、コントロールゲート電極 1 0 5 が、2 ビットメモリセルを構成している。また、メモリセルアレイの縁側の、コントロールゲート 1 0 5 と、1 列の拡散層 1 0 2 と、ワード線 1 0 6 とは 1 ビットの単位セルを構成している。

【 0 0 8 8 】

図 8 に示す例では、メモリセル拡散層エリア (「メモリセルエリア」ともいう) 1 0 0 の両側にバンク選択部 2 0 0 A、2 0 0 B が設けられている。

【 0 0 8 9 】

バンク選択部 2 0 0 A は、第 2 アルミ配線層に配設されるグローバルビット線 GBL 1 に、ソース又はドレインとなる一方の拡散層がビアホールで接続され、

ゲート電極が選択線 S L 1、S L 2 にそれぞれ接続され、ドレイン又はソースとなる他方の拡散層が第 1 アルミ配線層の第 2、第 4 のビット線 1 1 2 に接続されている第 1、第 2 の選択トランジスタ T r 1、T r 2 を備えている。

【 0 0 9 0 】

バンク選択部 2 0 0 B は、第 2 アルミ配線層に配設されるグローバルビット線 G B L 2 に、ソース又はドレインとなる一方の拡散層がビアホールで接続され、ゲート電極が選択線 S L 3、S L 4 にそれぞれ接続され、ドレイン又はソースとなる他方の拡散層が第 1 アルミ配線層の第 1、第 3 のビット線 1 1 2 に接続されている第 3、第 4 の選択トランジスタ T r 3、T r 4 を備えている。

【 0 0 9 1 】

このように、第 2、第 4 のビット線は、バンク選択部 2 0 0 A からメモリセルエリア 1 0 0 をバンク選択部 2 0 0 B 側に延在され、第 1、第 3 のビット線は、バンク選択部 2 0 0 B からメモリセルエリア 1 0 0 をバンク選択部 2 0 0 A 側に延在されている。

【 0 0 9 2 】

メモリセルアレイは、ワード線電極 1 0 6 を 8 段を単位に 1 つの組を構成しており、図 8 に示す例では、8 段を単位に、2 つの組が設けられている。なお、本発明において、メモリセルアレイの構成は、8 段のワード線を単位とする 2 組の構成に限定されるものでないことは勿論である。

【 0 0 9 3 】

各組の両側には、埋め込み拡散層 1 1 1 が設けられている。2 組に対しては、3 本の埋め込み拡散層 1 1 1 が設けられている。メモリセルアレイの各組（サブアレイ）の両側に埋め込み拡散層 1 1 1 を設けることで、後述するように、読み出し電流を増加させている。

【 0 0 9 4 】

メモリセルエリア 1 0 0 の基板上を、拡散層 1 0 2 の間に沿って配置されているコントロールゲート電極 1 0 5 は、メモリセルエリア 1 0 0 の両側に配設されたコントロールゲート基部（コントロールゲート端子）C G 1、C G 2 に交互に接続される。メモリセルエリア 1 0 0 の両側に配設されたコントロールゲート基

部CG1、CG2と、メモリセルエリア100のコントロールゲート電極105は、同一導電材料よりなり、図5（B）の製造工程において、同時にパターン形成される。

【0095】

メモリセルエリア100の両側の埋め込み拡散層111と、バンク選択部200A及びバンク選択部200Bの間には、コントロールゲート基部CG1、CG2がワード線106の長手方向に並行に配設されている。

【0096】

コントロールゲート基部CG1から、コントロールゲート電極105が、拡散層102の間の領域を、コントロールゲートCG2側に、メモリセルエリア100の端部、及び埋め込みN+拡散層111を超えて延在されており、コントロールゲート基部CG2から、コントロールゲート電極105が、拡散層102の間の領域を、コントロールゲートCG1側に、メモリセルエリア100の端部、及び埋め込みN+拡散層111を超えて延在されている。

【0097】

図9（A）は、図8のA-A'線に沿った断面を示す図である。図9（B）は、図8のB-B'線に沿った断面を示す図である。図9（A）に示した単位セル110は、図1に示した第1の実施例の単位セル110と同一の構成とされる。このセルは、構成上の特徴として、セルフアライン型のコントロールゲートと、MONOS構造を有する。

【0098】

またプログラム動作時には、コントロールゲートの下のチャネルがソースとされる。

【0099】

さらに、セルの消去動作時、すなわち、電子トラップ領域へのホットホール注入時には、コントロールゲート電極105直下のポテンシャルをホールに対するバリアとした消去動作が行われる。

【0100】

図9（B）を参照すると、プログラム時に、コントロールゲートのチャネルへ

の電位供給を行う埋め込みN+拡散層111の上に酸化シリコン膜103を介してコントロールゲート105が配設され、酸化シリコン膜107を介してワード線電極106が、コントロールゲート電極105と直交する方向に配設されている。

【0101】

次に、本発明の一実施例のメモリセルアレイとプログラム動作を説明する。図10は、図8において、選択されたセルのノードへのプログラム動作を説明するための図である。図11は、図10のA-A'線に沿った断面図である。図10には、図8に示した構成において、ワード線WL2が選択され、ビット線BL2の右側ノード（セル）CBL2R（図11参照）に書き込みを行う場合の、電子の流れが示されている。

【0102】

図10及び図11を参照すると、メモリセルCBL2Rに書き込みを行う場合、ビット線BL2に書き込み電圧5Vを印加し、ビット線BL2の拡散層102とBL3の拡散層102の間に配設されるコントロールゲート電極CG2に、1 μ A程度の電流が流れるゲート電圧 $V_t + \alpha$ （ V_t はしきい値電圧、 $\alpha \geq 0$ ）を印加する。

【0103】

書き込みに用いられる電子（ホットエレクトロン）は、埋め込みN+拡散層111から、コントロールゲート電極CG2を介して供給される。供給された電子は、ワード線電位VWL（8V）により、ONO膜中に注入される。図10のワード線WL2とビット線BL2の交差部の矢印は、コントロールゲートチャネルからのチャネルホットエレクトロン（CHE）のセルCBL2Rへの注入を表しており、図11のノードへのCHEの注入を表す矢印に対応している。なお、コントロールゲートCG1は0V（グランド電位）とされる。

【0104】

図12は、図10に示したメモリセルアレイのレイアウトを等価回路で表したものであり、ワード線WL2が選択され、ビット線BL2の右側ノードCBL2R（図11参照）に書き込みを説明するための図である。

【 0 1 0 5 】

図 1 2 の等価回路では、図 9 の拡散層 1 0 2 の間の基板上に配設されるコントロールゲートについて、隣接するワード線電極間、例えばセル C B L 2 R と C B L 3 L 間に配設されるコントロールゲートを、ビット線 B L 2 にドレイン拡散層が接続される書き込みセル (C B L 2 R) のソースとワード線に沿って直列に接続されるパストランジスタによって表している。

【 0 1 0 6 】

V G B L 1 はグローバルビット線 G B L 1 の電圧であり、5 V に設定される。

【 0 1 0 7 】

V S L 1 は、ビット線 B L 2 に接続されるバンク選択トランジスタ T r 1 のゲートに接続されるバンク選択線 S L 1 の電圧であり、H レベルである。ビット線 B L 2 には、オン状態のトランジスタ T r 1 を介して、グローバルビット線 G B L 1 の電圧 $V G B L 1 = 5 V$ が供給される。

【 0 1 0 8 】

V C G 1、V C G 2 は、コントロールゲート電極の電圧であり、 $V C G 1 = 0 V$ 、 $V C G 2 = V_t + \alpha$ である。

【 0 1 0 9 】

V S L 2 は、バンク選択トランジスタ T r 2 のゲートに接続されるバンク選択線 S L 2 の電圧で L レベルである (非選択)。

【 0 1 1 0 】

V S B L は、埋め込み N + 拡散層 1 1 1 に供給する電圧であり、0 V である。

【 0 1 1 1 】

V G B L 2 は、グローバルビット線 G B L 2 の電圧であり、0 V (非選択) である。

【 0 1 1 2 】

V S L 3 はバンク選択線 S L 3 の電圧で L レベル、V S L 4 はバンク選択線 S L 4 の電圧で L レベルである。

【 0 1 1 3 】

書き込み電流パスは、グローバルビット線 G B L 1 から選択トランジスタ T r

1 を介してビット線 BL_2 に接続され、選択されたワード線 WL_2 ($V_{WL_2} = 8V$) に接続される書き込みセル (トランジスタ) のドレインに概ね $5V$ が印加され、セルトランジスタのソース側の拡散層は、コントロールゲート電極 CG_2 に共通接続されるトランジスタを介して埋め込み拡散層 111 に接続されている。

【0114】

電流は、書き込みセルからコントロールゲートチャネルを介してメモリセル領域の両側の埋め込み $N+$ 拡散層 111 (電圧 $V_{SBL} = 0V$) に流れる。すなわち、電子は、両側の埋め込み $N+$ 拡散層 111 から書き込みセルにソースサイド・インジェクションで注入される。

【0115】

図 13 は、本実施例におけるプログラム動作をさらに詳細に説明するための図である。

【0116】

図 13 (A) を参照すると、コントロールゲートの図の左側に位置する記憶ノードに書き込みを行う場合 (L サイドの書き込み)、コントロールゲート電極 105 の電圧 V_{cg} を $V_t + \alpha$ とし、コントロールゲートの図の左側の拡散層を $5V$ とし ($V_{BL} = 5V$)、埋め込み拡散層 111 を $0V$ 、ワード線を $8V$ とし、コントロールゲートの図の右側の拡散層を $0V$ あるいはフローティング ($V_{BL} = 0(F)$) とし、その他の拡散層を $0V$ ($V_{BL} = 0$) とする。また非選択のコントロールゲート電極は $0V$ とされる。 ($V_{cg} = 0V$)

【0117】

図 13 (B) を参照すると、コントロールゲートの図の右側の記憶ノードに書き込みを行う場合 (R サイドの書き込み) は、L サイド書き込みと逆のバイアス条件に設定される。コントロールゲート電極の電圧 V_{cg} を $V_t + \alpha$ (ただし、 V_t は、しきい値電圧) とし、コントロールゲートの図の右側の拡散層を $5V$ とし ($V_{BL} = 5V$)、埋め込み拡散層 111 を $0V$ 、ワード線を $8V$ とし、コントロールゲートの図の左側の拡散層を $0V$ あるいはフローティング ($V_{BL} = 0(F)$) とし、その他の拡散層を $0V$ ($V_{BL} = 0$) とする。

【 0 1 1 8 】

図 1 3 (C) を参照すると、コントロールゲートの左右両サイドの書き込みを行う場合、コントロールゲート電極の電圧 V_{cg} を $V_t + \alpha$ とし、コントロールゲートの図の右側及び左側の拡散層を 5 V とし ($V_{BL} = 5 V$)、埋め込み拡散層 1 1 1 を 0 V、その他の拡散層を 0 V ($V_{BL} = 0$) とする。コントロールゲートチャネルから両側の記憶ノードにチャネルホットエレクトロンが注入される。

【 0 1 1 9 】

本実施例では、書き込み電流を抑え、多数のセルへの並列書き込みが可能である。また、隣接セルへの干渉電流はゼロである（非選択線のプリチャージは不要である）。

【 0 1 2 0 】

次に、本発明の一実施例のメモリセルアレイにおける消去 (Erase) 動作について説明する。図 1 4 及び図 1 5 は、本発明の一実施例のメモリセルアレイのレイアウトと消去動作を説明するための断面を示す図である。

【 0 1 2 1 】

本発明の一実施例において、消去は、一括で行うことが出来る。すなわち、メモリセルアレイのすべてのビット拡散層 1 0 2 に消去電圧 6 V を印加し、バンド間トンネリングによって、ホットホール (HH) を発生させる。本実施例では、バンド間トンネリングで発生したホールを、記憶ノード付近に集中させるために、ホールバリア (ホール障壁) を形成する (図 1 5 参照)。

【 0 1 2 2 】

このバリアを形成するポテンシャルは、コントロールゲート電極 1 0 5 の電位を 5 V とし、且つ、埋め込み N+ 拡散層 1 1 1 に、コントロールゲート電極 1 0 5 の電圧よりも低い電位、例えば 3 V を印加する ($V_{SBL} = 3 V$)。これによりホールが、拡散することを防止し、効率よく消去ができる。

【 0 1 2 3 】

集中したホールは、ワード線の電位 0 V または負電圧で ONO 膜 1 0 4 へ引き上げられることにより、電子-正孔中和が起こる。一方、ホールバリアを形成し

ない場合、ホットホールはチャネル内を拡散し、記憶ノード付近に集中せず、電子-正孔中和の中和効率の向上を上げることは困難である。

【 0 1 2 4 】

図 1 6 は、図 1 4 に示したメモリセルアレイのレイアウトを等価回路で表したものであり、一括消去動作を説明するための図である。

【 0 1 2 5 】

VGBL1 はグローバルビット線GBL1の電圧であり6Vである。

【 0 1 2 6 】

VSL1 は、ビット線BL2に接続されるバンク選択トランジスタTr1のゲートに接続されるバンク選択線SL1の電圧でHレベルである。ビット線BL2には、グローバルビット線GBL1の電圧VGBL1 = 6Vが供給される。VSL2 は、バンク選択トランジスタTr2のゲートに接続されるバンク選択線SL2の電圧でHレベルである。ビット線BL4には、グローバルビット線GBL1の電圧VGBL1 = 6Vが供給される。

【 0 1 2 7 】

VSB L は、埋め込みN+拡散層111に供給する電圧であり、3Vである。VCG1、VCG2はコントロールゲート電極105の電圧であり、5Vである。

【 0 1 2 8 】

ワード線WL1~WL8は全て0Vとする。

【 0 1 2 9 】

VGBL2 はグローバルビット線GBL2の電圧であり6Vである。VSL3 は、バンク選択トランジスタTr3のゲートに接続されるバンク選択線SL3の電圧でありHレベル、VSL4 は、バンク選択トランジスタTr4のゲートに接続されるバンク選択線SL4の電圧であり、Hレベルである。ビット線BL1、BL3には、グローバルビット線GBL2の電圧VGBL2 = 6Vが供給される。

【 0 1 3 0 】

図 1 7 は、本発明の一実施例における消去動作を説明するための図であり、図

15の断面図を、各状態に即して説明するための図である。図17を参照して、本実施例の消去動作について説明する。本実施例では、プリプログラムを高速化し、一括消去可能としている。

【0131】

図17(A)には、プログラム後の状態（記憶ノードに電子がトラップされている）状態が示されている。

【0132】

図17(B)を参照すると、プログラムされていない記憶ノードのプリ・プログラムを行う。本実施例では、Lサイド/Rサイド独立にプログラム可能である。

【0133】

図17(B)では、ノード(Node)にチャネルホットエレクトロン(ChE)が注入されている。コントロールゲートを $V_t + \alpha$ 、ワード線 $V_{WL} = 8V$ 、書き込みノードに近いビット拡散層102を6V、ソース側の拡散層を0V($V_{BL} = 0V$)、埋め込み拡散層111を0Vとしてソースサイド・インジェクションでプリ・プログラムする。

【0134】

次に、図17(C)を参照すると、ワード線を0V（もしくは負電圧）とし、ビット線拡散層を6V($V_{BL} = 6V$)、コントロールゲート(CG1、CG2)を5V($V_{cg} = 5V$)としてメモリセルエリアの一括消去を行っている。

【0135】

次に、本発明の一実施例のメモリセルアレイにおける読み出し(Read)動作について説明する。図18は、本発明の一実施例のメモリセルアレイのレイアウトにおけるRead動作を説明するための図である。図19は、図18のA-A'線の断面を模式的に示す図である。図18に示したレイアウト構成は、図10のレイアウト構成と同一であるが、ワード線WL2に接続され、ビット線BL2に接続されるセルの読み出し電流（ビット線から、選択トランジスタを介してグローバルビット線配線までの電流経路）が示されている。

【0136】

メモリセルCBL2R（図19参照）の読み出しは、埋め込みN+拡散層111に、読み出し電圧（V_{read}）、例えば1Vを印加する。

【0137】

またコントロールゲートCG2には、3V程度の電圧（V_{cg} = 3V）を印加することにより、選択セルに、ドレイン電圧を印加する。ワード線WL2には、読み出しゲート電圧、例えば3V（V_{WL} = 3V）を印加する。

【0138】

選択セルの閾値が3V以上に書き込まれている場合、記憶ノード直下のチャネルはオフ状態にあり、チャネル電流は流れない。

【0139】

選択セルが書き込まれていない場合、チャネルはオンし、図の破線で示された経路、ビット線BL2から、オン状態の選択トランジスタを介してグローバルビット線配線までの電流経路を介して、図示されないセンス回路に流れる。

【0140】

埋め込みN+型拡散層111をドレインにして読み出す場合、図示されないセンス回路を、メモリセルのドレイン側に接続すると、漏れ電流を誤検出する可能性が有る。このため、メモリセルのソース側に接続するほうが、感度良く読み出すことができる。

【0141】

また、読み出しにおいては、読み出しセルのコントロールゲート（V_{cg} = 3V）に隣接するコントロールゲート電極を0Vにすることで、隣接ビット線への漏れ電流はなくなり、回路設計を容易化する。

【0142】

図20は、図18に示したメモリセルアレイのレイアウトを等価回路で表したものであり、セルのリード動作を説明するための図である。図20において、読み出しセルは、図19のセルCBL2Rに対応している。

【0143】

グローバルビット線GBL1の電圧V_{GBL1}はLレベルである。

【0144】

ビット線 B L 2 に接続されるバンク選択トランジスタ T r 1 のゲートに接続されるバンク選択線 S L 1 の電圧 V S L 1 は H レベルである。V S L 2 は、バンク選択トランジスタ T r 2 のゲートに接続されるバンク選択線 S L 2 の電圧で 0 V である（非選択）。

【 0 1 4 5 】

V C G 1 は、コントロールゲート電極 1 0 5 (C G 1) の電圧であり、0 V、V C G 2 は、コントロールゲート電極 1 0 5 (C G 1) の電圧であり、V C G r e a d (3 ~ 5 V) である。

【 0 1 4 6 】

V S B L は、埋め込み N + 拡散層 1 1 1 に供給する電圧であり、V r e a d (1 ~ 2 V) である。

【 0 1 4 7 】

ワード線 W L 2 は 3 V (V W L 2 = 3 V) とする。

【 0 1 4 8 】

V G B L 2 はグローバルビット線 G B L 2 の電圧であり 0 V である。V S L 3 はバンク選択線 S L 3 の電圧で 0 V、V S L 4 はバンク選択線 S L 4 の電圧で 0 V である。埋め込み N + 拡散層から、コントロールゲートチャネルを介してメモリセルにチャネル電流が流れ、記憶ノードに書き込みが行われていない場合、ビット線を介して、選択トランジスタ、第 2 アルミ配線層のグローバルビット線に読み出し電流が流れる。

【 0 1 4 9 】

図 2 1 は、本発明の一実施例におけるリード動作を説明するための図であり、図 1 9 の断面図を、各状態に即して説明するための図である。図 2 1 を参照して、本実施例のリード動作について説明する。本実施例では、コントロールゲートのチャネルをソース又はドレインとして読み出す。N + 隣接セルへの干渉電流をゼロとし、非選択線のプリチャージを不要としている。

【 0 1 5 0 】

図 2 1 (A) は、コントロールゲートチャネルをドレイン側にして、コントロールゲートの左側のセルを読み出す動作（L ビットリード）を説明するための図

である。読み出しセルのコントロールゲート電極CG2に電圧 $V_{cg} = 3V$ を印加し、ソース側拡散層102に $V_{BL} = 0$ を印加し、ワード線WL2に $V_{WL} = 3V$ を印加する。読み出しセルの閾値が $3V$ 以上に書き込まれている場合、記憶ノード直下のチャネルはオフ状態にあり、チャネル電流は流れない（図21（A）の×）。選択セルの記憶ノードが書き込まれていない場合、チャネルはオンする。

【0151】

図21（B）を参照すると、コントロールゲートの左側のセルを読み出す動作（Rビットリード）においては、コントロールゲートチャネルをドレイン側にして、Rビットリードは、Lビットリードの逆のバイアス設定となる。

【0152】

図21（C）は、コントロールゲートチャネルをソース側とし、セルの拡散層をドレインとして読み出す場合の動作を説明するための図である。Lビットリードにおいて、読み出しセルのコントロールゲートCG2に電圧 $V_{cg} = 3V$ を印加し、ドレイン側拡散層に $V_{BL} = V_{read}$ を印加し、ワード線WL2に $V_{WL} = 3V$ を印加する。読み出しセルの閾値が $3V$ 以上に書き込まれている場合、記憶ノード直下のチャネルはオフ状態にあり、ドレイン拡散層102（ $V_{BL} = V_{read}$ ）からのチャネル電流は流れない（図21（C）の×の「OFF bit 判定」参照）。

【0153】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、本願特許請求の範囲の請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0154】

【発明の効果】

以上説明したように、本発明によれば、コントロールゲートのチャネルをソースにしてソースサイド・インジェクションを行うことにより、非対象記憶ノードを介することなく、対象記憶ノードへの書き込みを行う構成とされており、非対象記憶ノードの影響を受けることなく、デバイス特性の信頼性を向上するという

効果を奏する。

【 0 1 5 5 】

本発明によれば、コントロールゲートのチャネルをドレインにして読み出すことで、非対象記憶ノードを介することなく、対象記憶ノードの読み出しを行う書き込みを行う構成とされており、実質的に1ビットセルとして機能するため、特段に安定なメモリセル電流を確保することができる。

【 0 1 5 6 】

さらに、本発明によれば、コントロールゲート電極のチャネルに正電位を加えることで、ホールの拡散を防止し、電子トラップ領域にホールが注入されるため、効率的な消去を実現し、また耐性を向上する。

【 0 1 5 7 】

本発明によれば、自己整合型のメモリセル構成とされており、製造工程を容易化し、且つ、安定したトラップスペース長を確保することを可能としている。

【図面の簡単な説明】

【図 1】

本発明に係るメモリセルトランジスタの第1の実施例の断面構成を模式的に示す図である。

【図 2】

本発明に係るメモリセルトランジスタの第2の実施例の断面構成を模式的に示す図である。

【図 3】

本発明に係るメモリセルトランジスタの第3の実施例の断面構成を模式的に示す図である。

【図 4】

本発明に係るメモリセルトランジスタの第4の実施例の断面構成を模式的に示す図である。

【図 5】

(A) 乃至 (C) は、本発明の製造方法の一実施例を工程順に説明する図である。

【図 6】

(A) 及び (B) は、本発明の製造方法の一実施例を工程順に説明する図である。

【図 7】

(A) 及び (B) は、本発明の製造方法の一実施例を工程順に説明する図である。

【図 8】

本発明に係るメモリセルアレイの一実施例の構成を示す図である。

【図 9】

(A) は、図 8 の A - A' 線の断面を示す図であり、(B) は図 8 の B - B 線の断面を示す図である。

【図 1 0】

本発明に係るメモリセルアレイの一実施例におけるプログラム動作を示す図である。

【図 1 1】

図 1 0 の A - A' 線の断面における、バイアス設定、プログラム動作を示す図である。

【図 1 2】

本発明の一実施例におけるプログラム動作を示す図 1 0 の構成を、等価回路で示した図である。

【図 1 3】

図 1 0 の A - A' 線の断面において、新ファイルメモリへのプログラム動作を説明するための図であり、(A) は L サイドプログラム、(B) は R サイドプログラム、(C) は両サイドプログラムの動作を説明するための図である。

【図 1 4】

本発明に係るメモリセルアレイの一実施例における消去動作を示す図である。

【図 1 5】

図 1 4 の A - A' 線の断面における、バイアス設定、消去動作を示す図である。

【図 1 6】

本発明の一実施例における消去動作を示す図 1 4 の構成を、等価回路で示した図である。

【図 1 7】

図 1 4 の A - A' 線の断面において、新ファイルメモリの消去動作を説明するための図であり、(A) はプログラム後、(B) はプリプログラム、(C) は一括消去動作を説明するための図である。

【図 1 8】

本発明に係るメモリセルアレイの一実施例におけるリード動作を示す図である。

【図 1 9】

図 1 8 の A - A' 線の断面における、バイアス設定、リード動作を示す図である。

【図 2 0】

本発明の一実施例におけるリード動作を示す図 1 8 の構成を、等価回路で示した図である。

【図 2 1】

図 1 8 の A - A' 線の断面において、新ファイルメモリの消去動作を説明するための図であり、(A) は L ビットリード、(B) は R ビットリード、(C) は L ビットリード動作を説明するための図である。

【図 2 2】

本発明の原理を説明するための図である。

【図 2 3】

従来の 1 セルあたり 2 ビットを記憶するメモリを説明するための図である。

【図 2 4】

従来の 1 セルあたり 2 ビットを記憶するメモリを説明するための図である。

【図 2 5】

刊行物 (1) に記載された従来技術であり、(A) は断面図、(B) は等価回路、(C) はプログラム、消去、リードのバイアス条件一覧である。

【図 26】

従来の技術の課題を説明するための図であり、(A)は断面図、(B)は水平方向電界を示す図である。

【図 27】

従来の技術の課題を説明するための図である。

【図 28】

(A)乃至(C)は、トラップスペースとチャネル電流の関係の実測図である。

【図 29】

従来の技術の課題を説明するための図である。

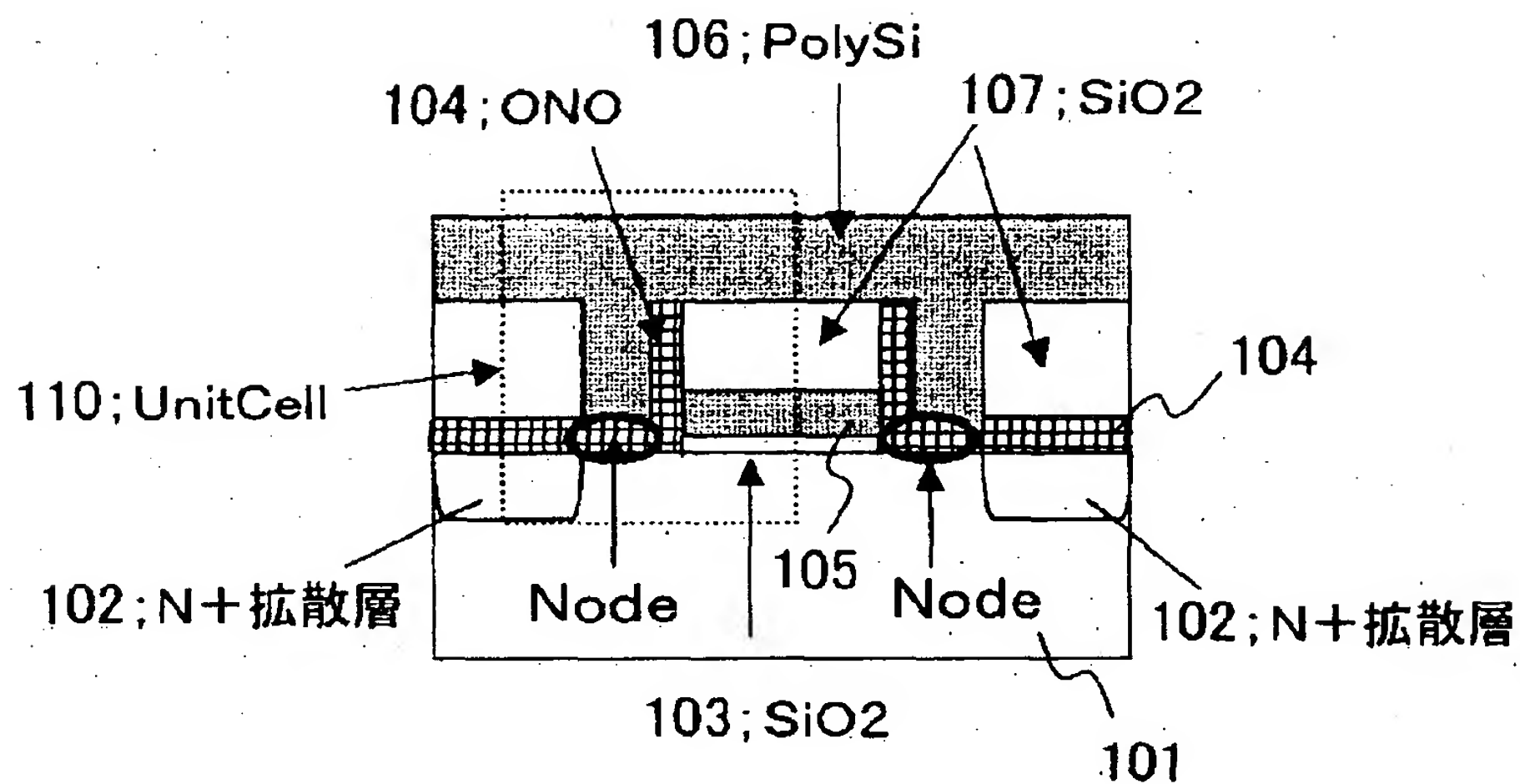
【符号の説明】

- 11 基板
- 12 拡散層
- 13 ゲート絶縁膜
- 14 ONO膜
- 15 コントロールゲート電極
- 16 ワード線電極
- 101 P型シリコン基板
- 102 N+拡散層
- 103 酸化シリコン膜
- 104 ONO膜
- 105 コントロールゲート
- 106 ワード線電極
- 107 絶縁膜(酸化シリコン膜)
- 110 メモリセル拡散層エリア
- 111 埋め込みN+拡散層
- 112 ビット線配線
- 200 バンク選択部

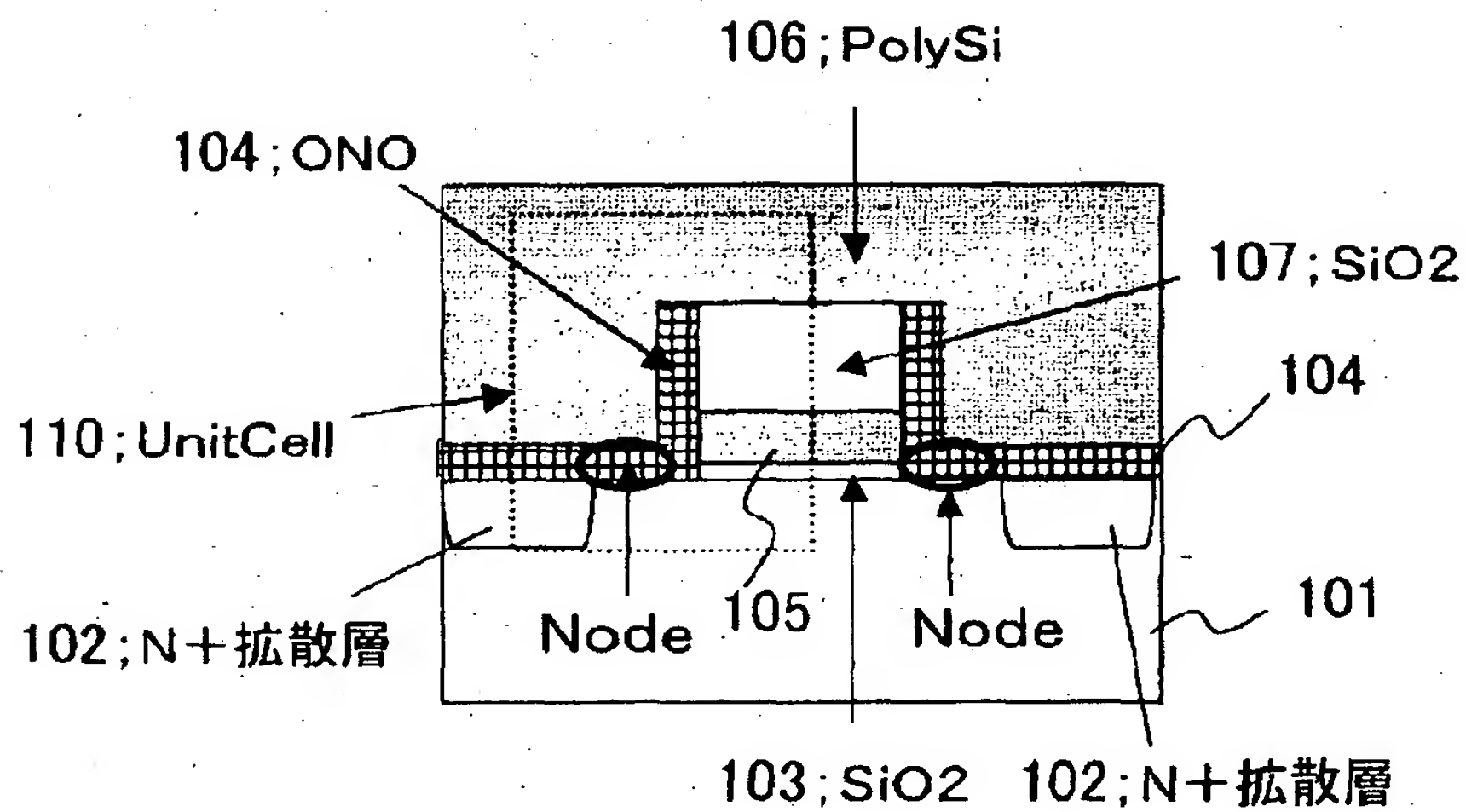
【書類名】

図面

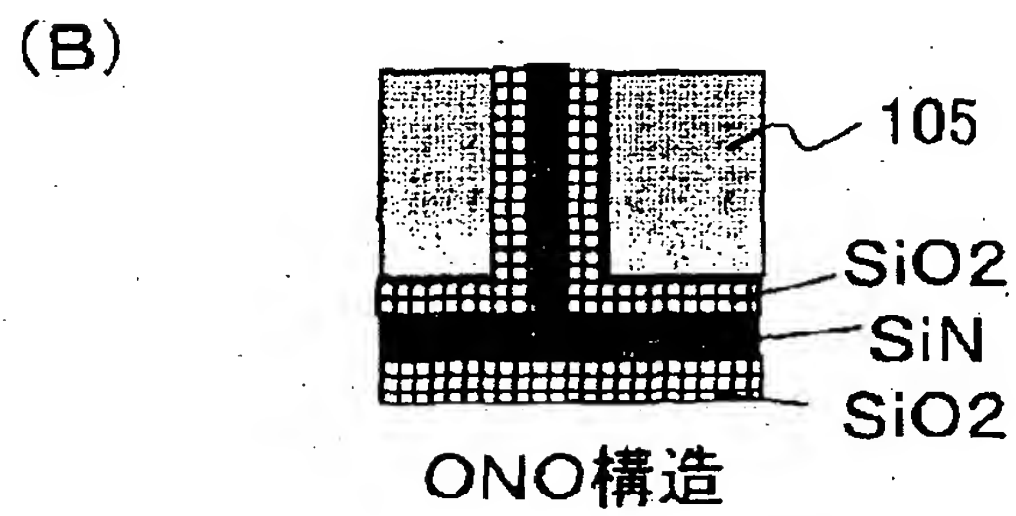
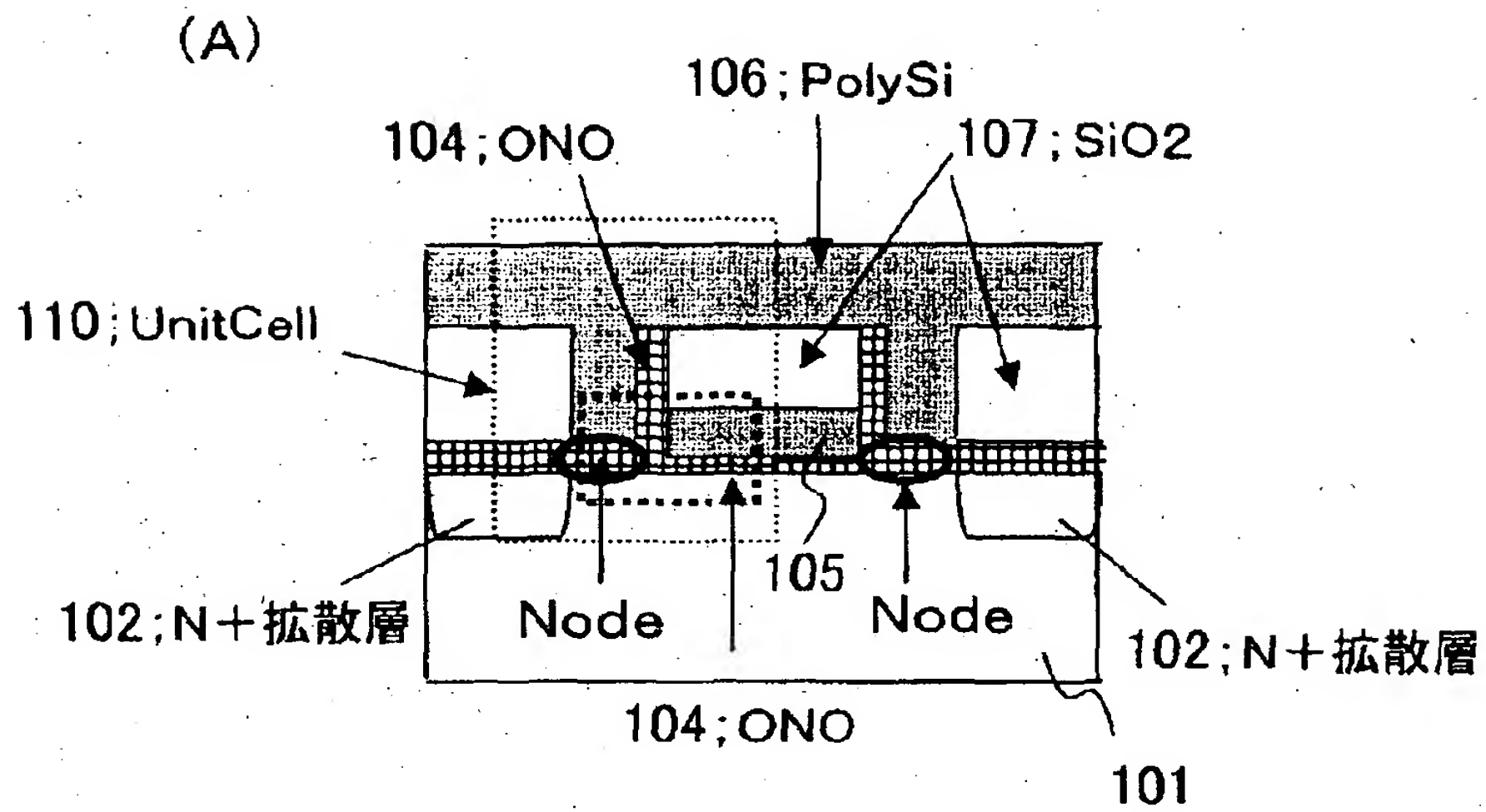
【図1】



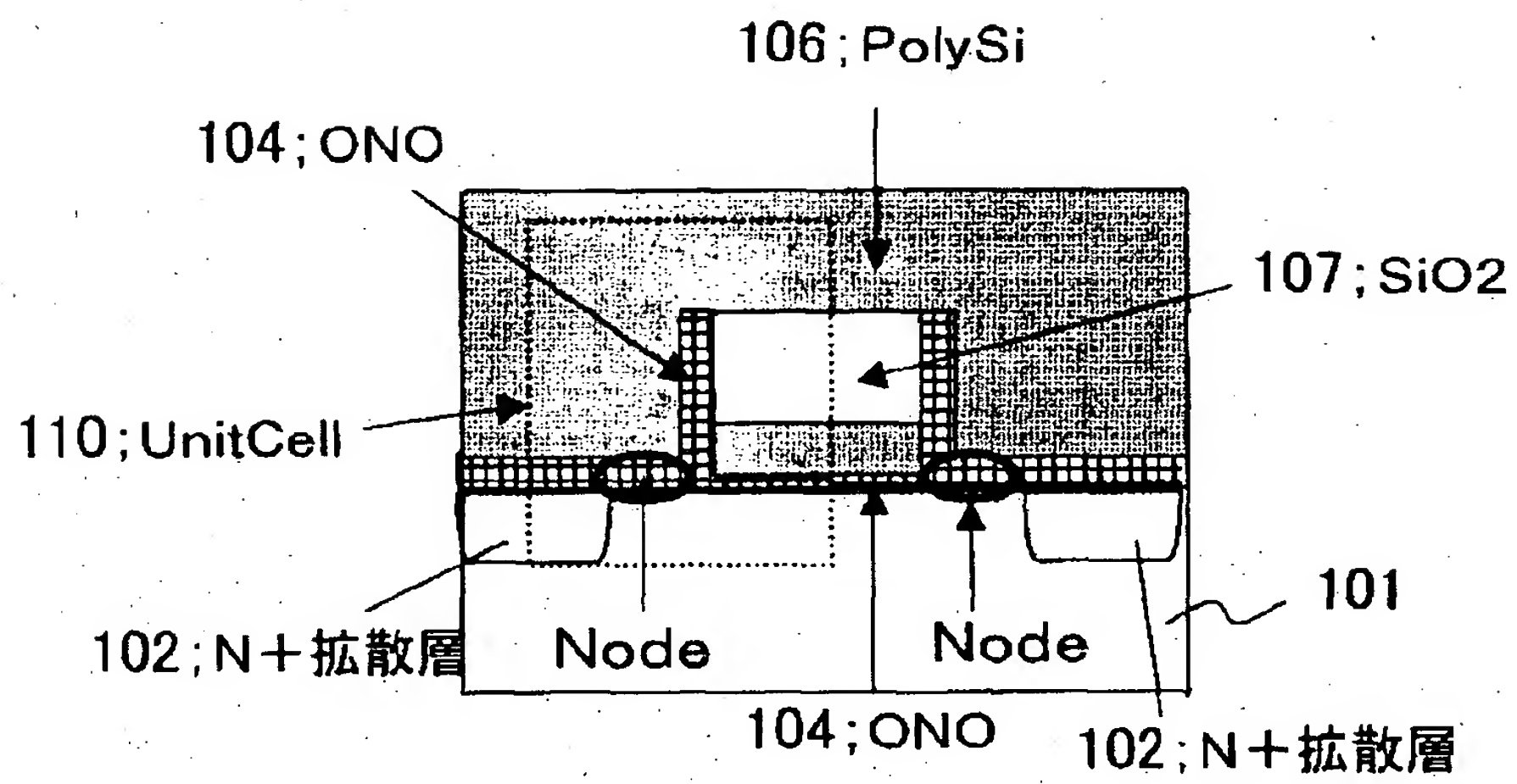
【図2】



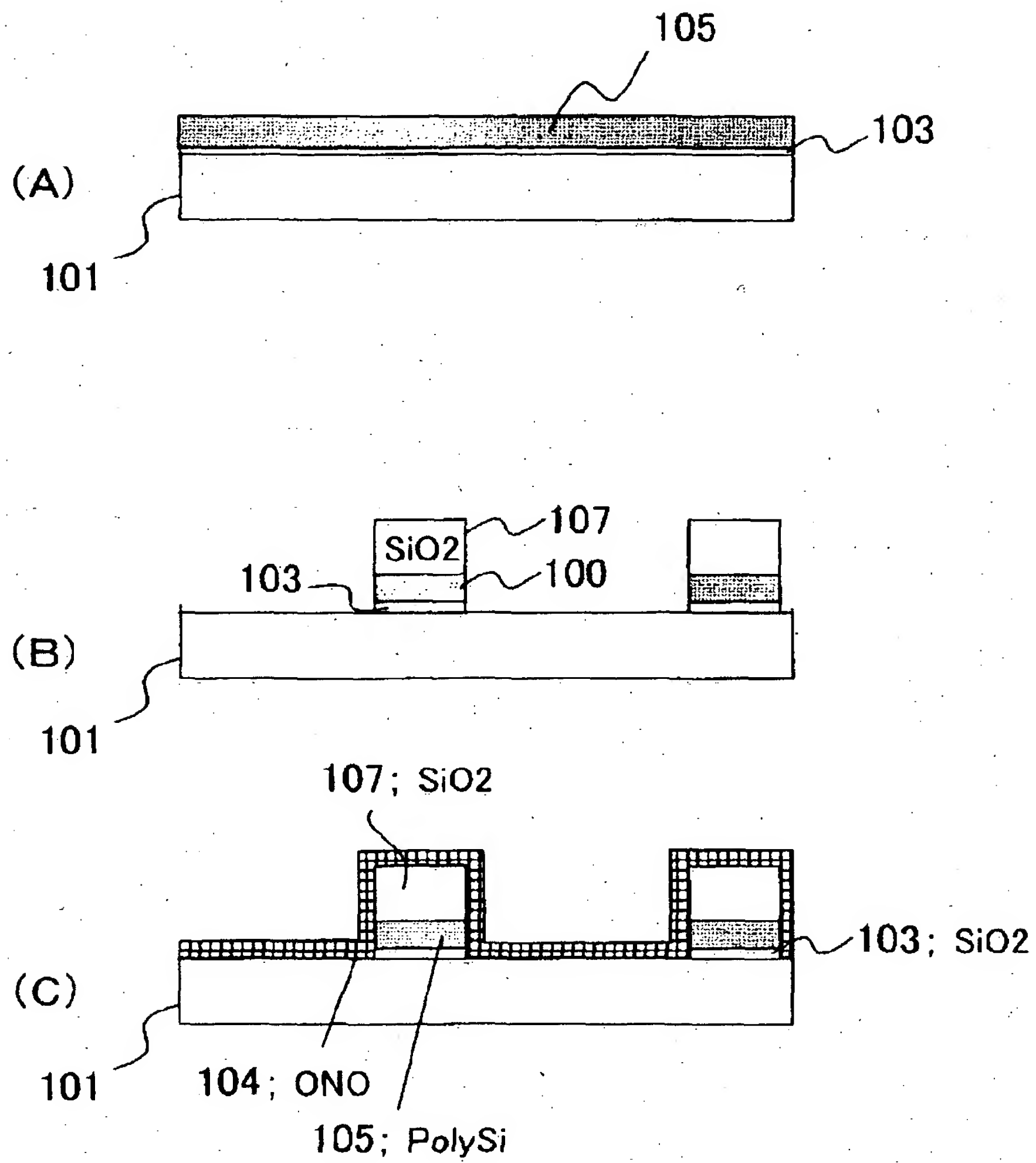
【図 3】



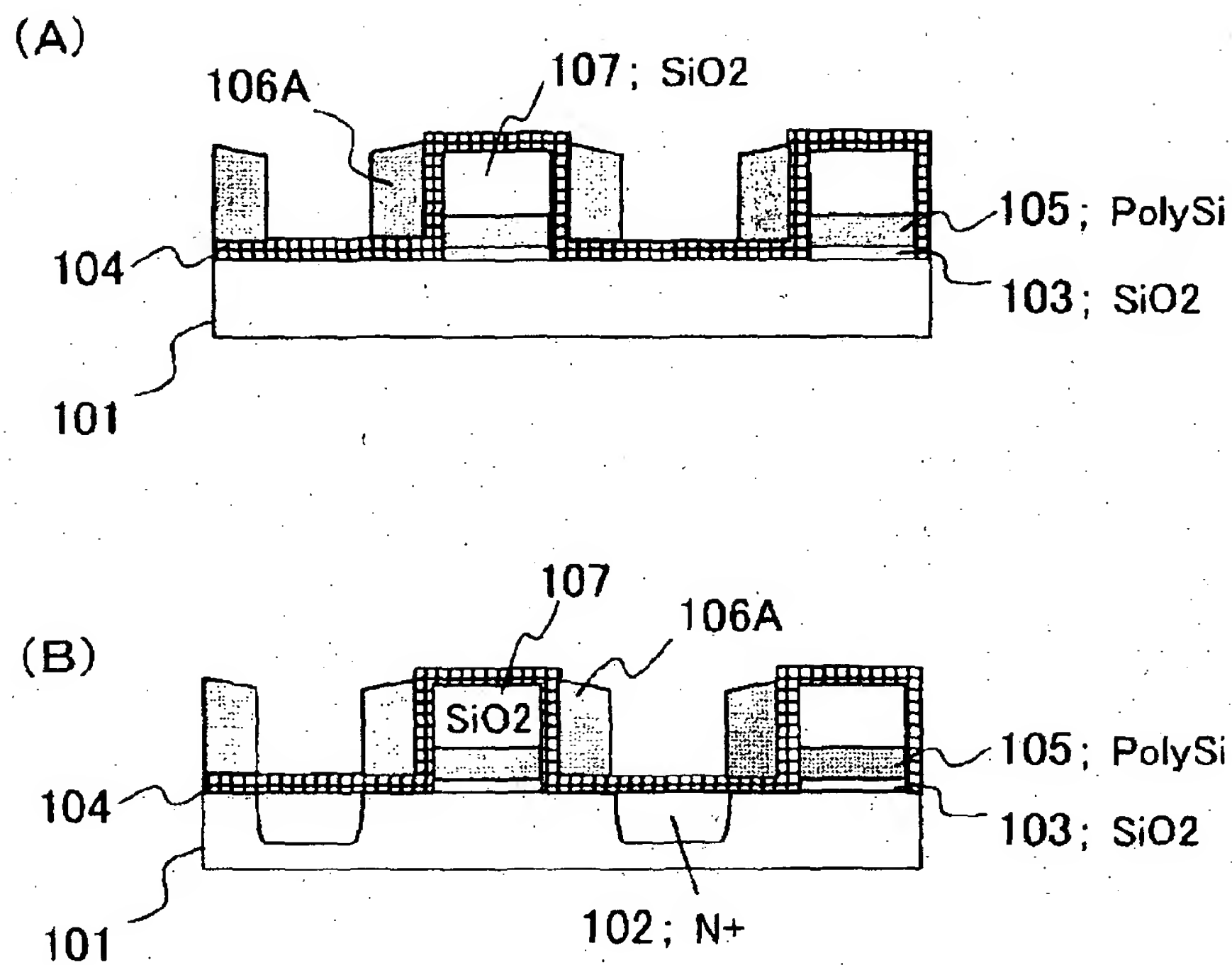
【図 4】



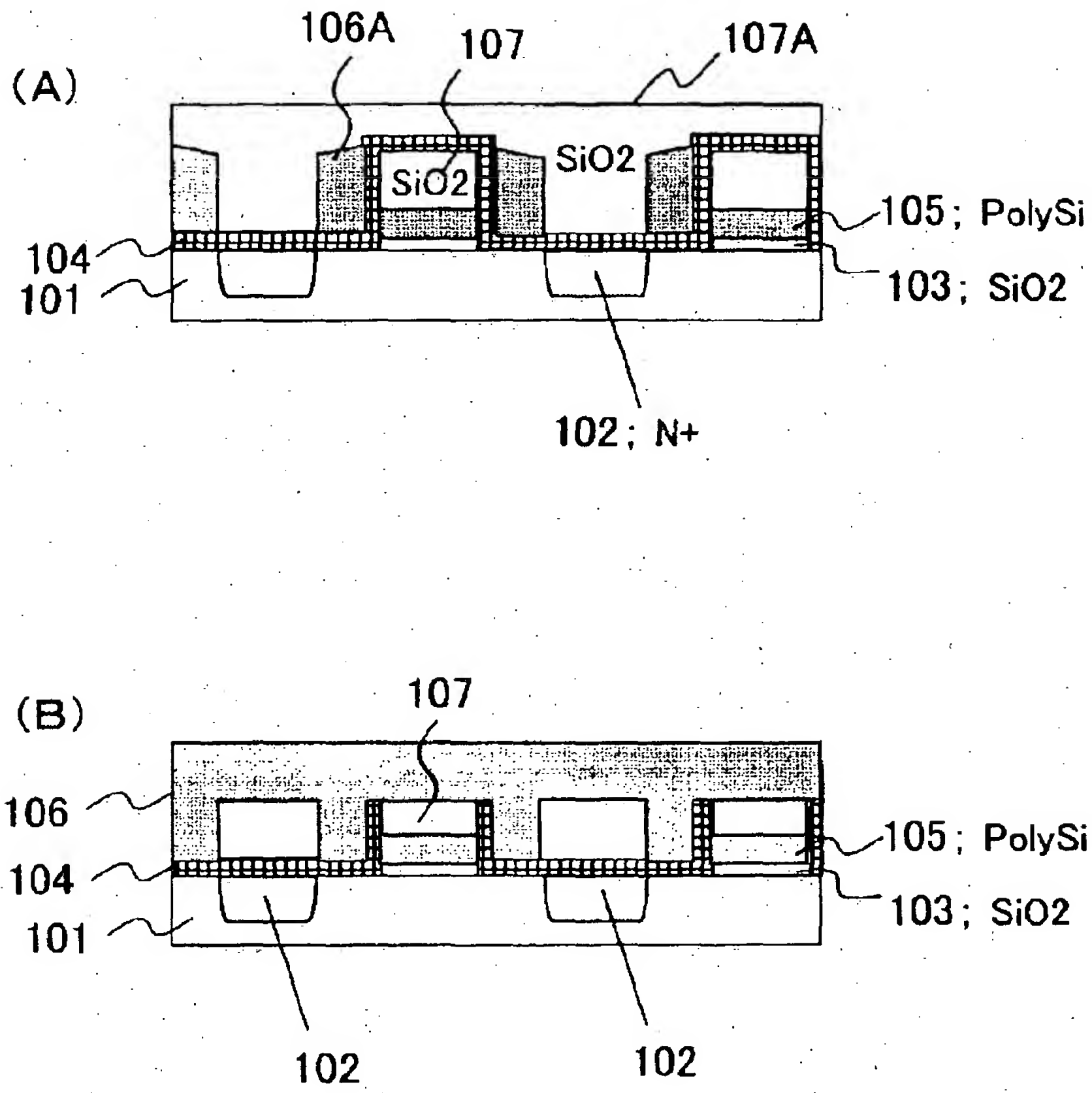
【図 5】



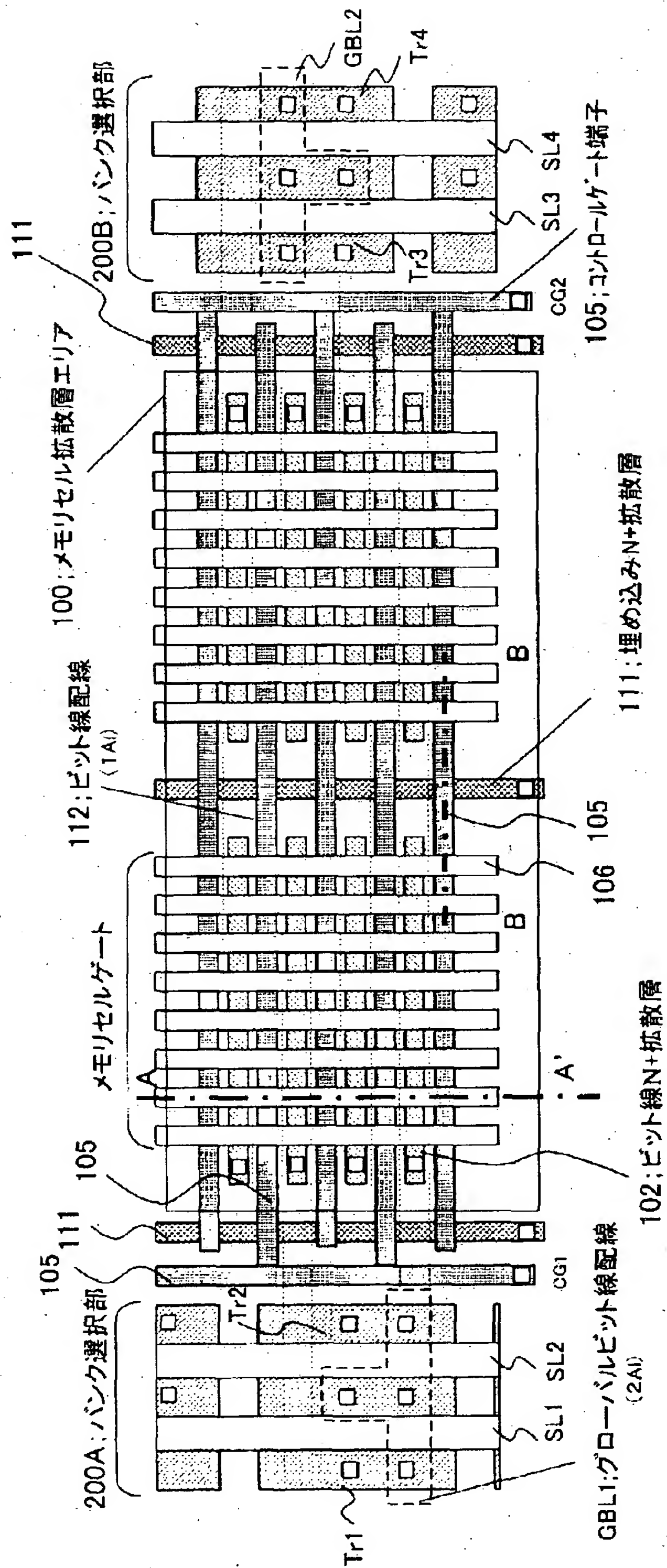
【図6】



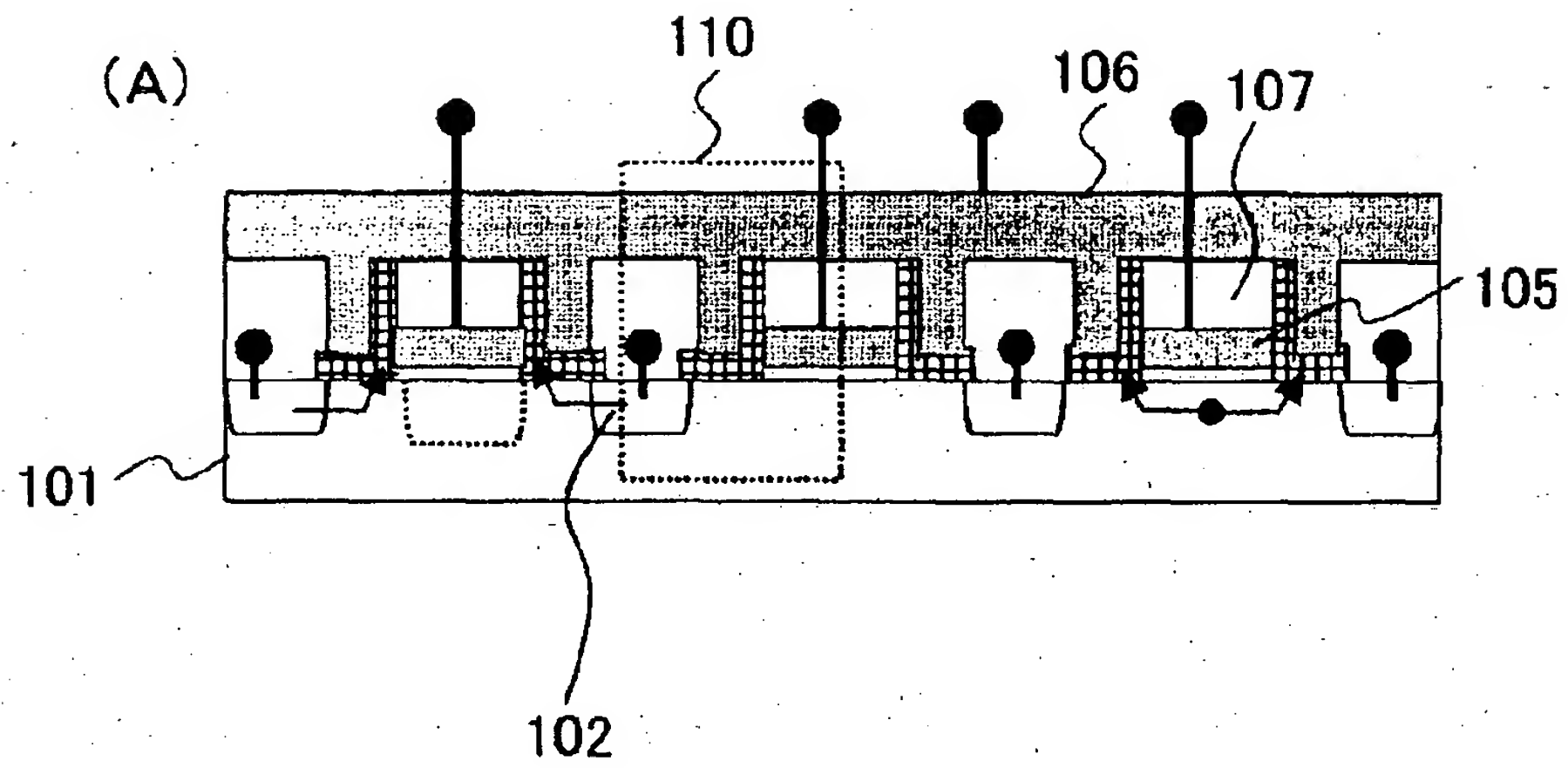
【図7】



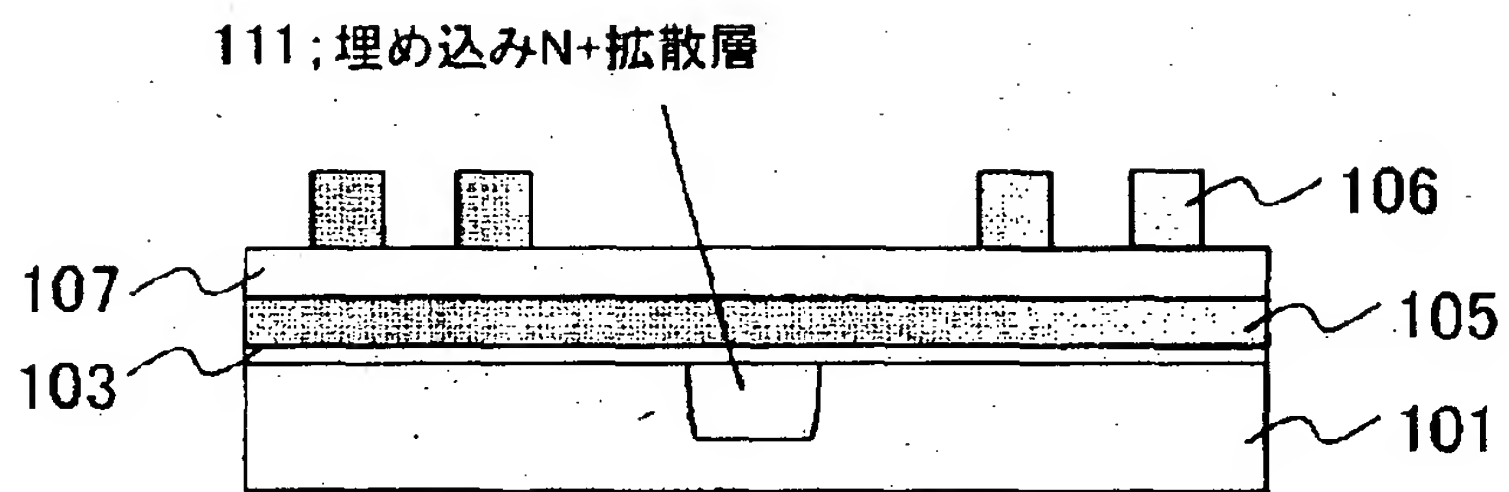
【図8】



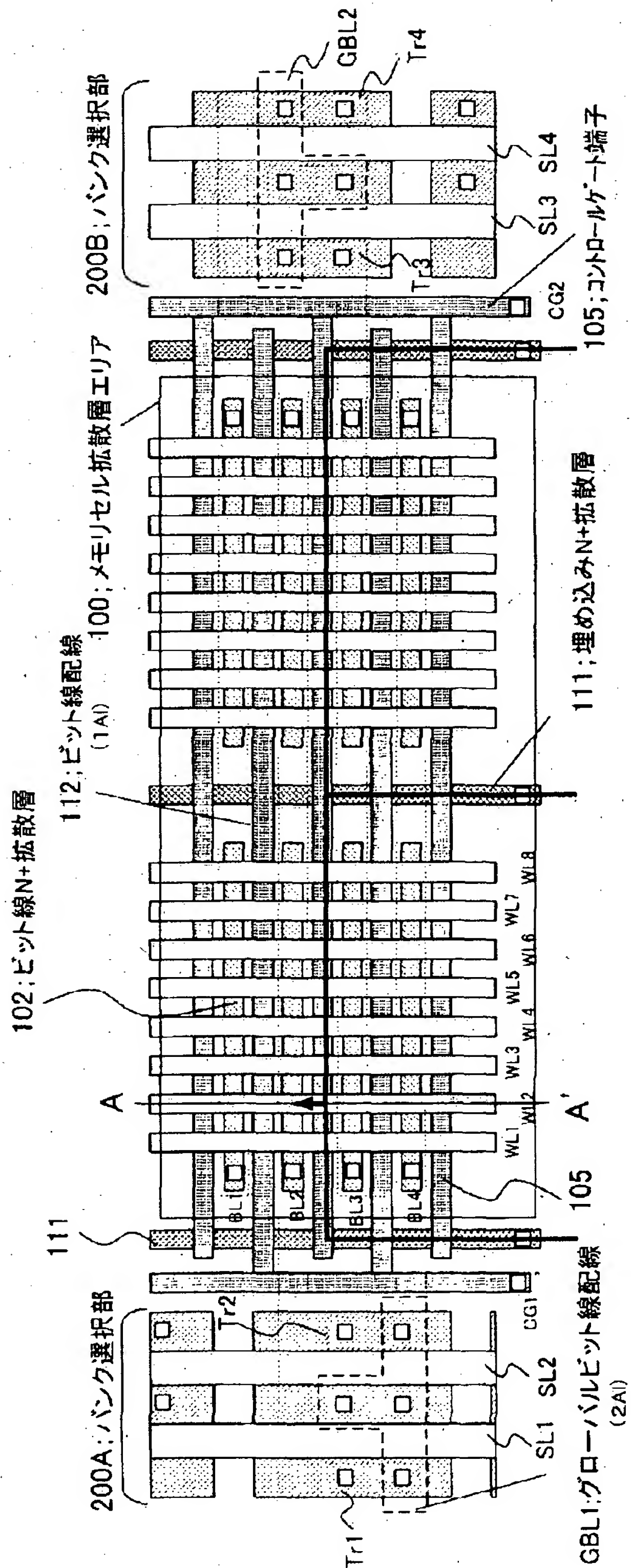
【図 9】



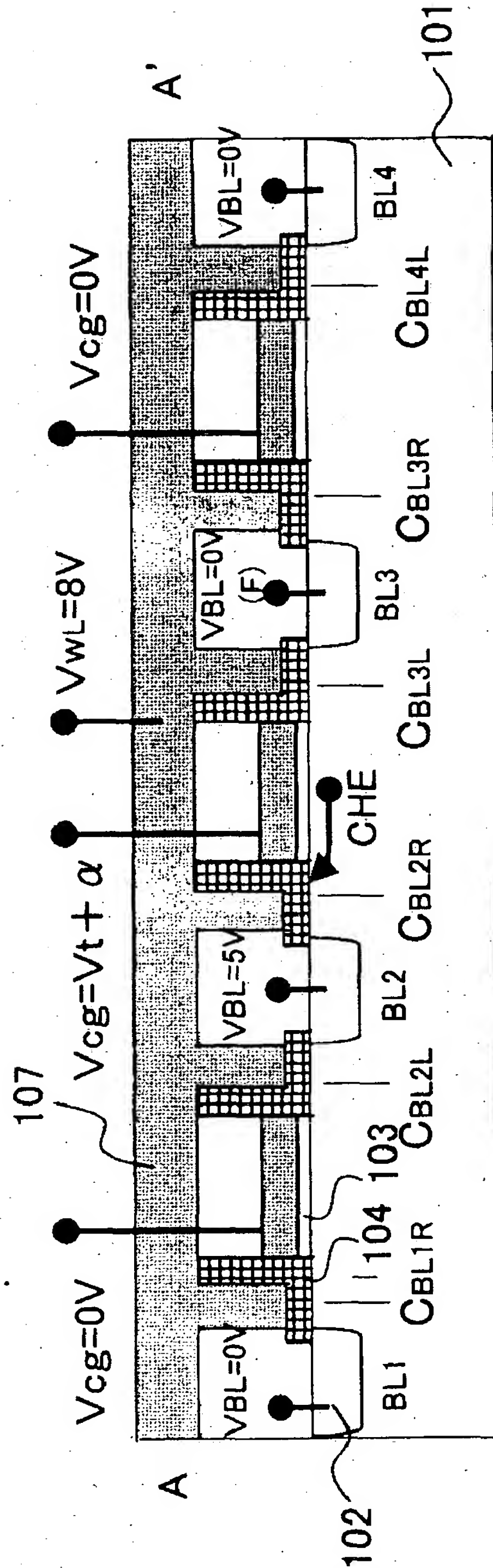
(B)



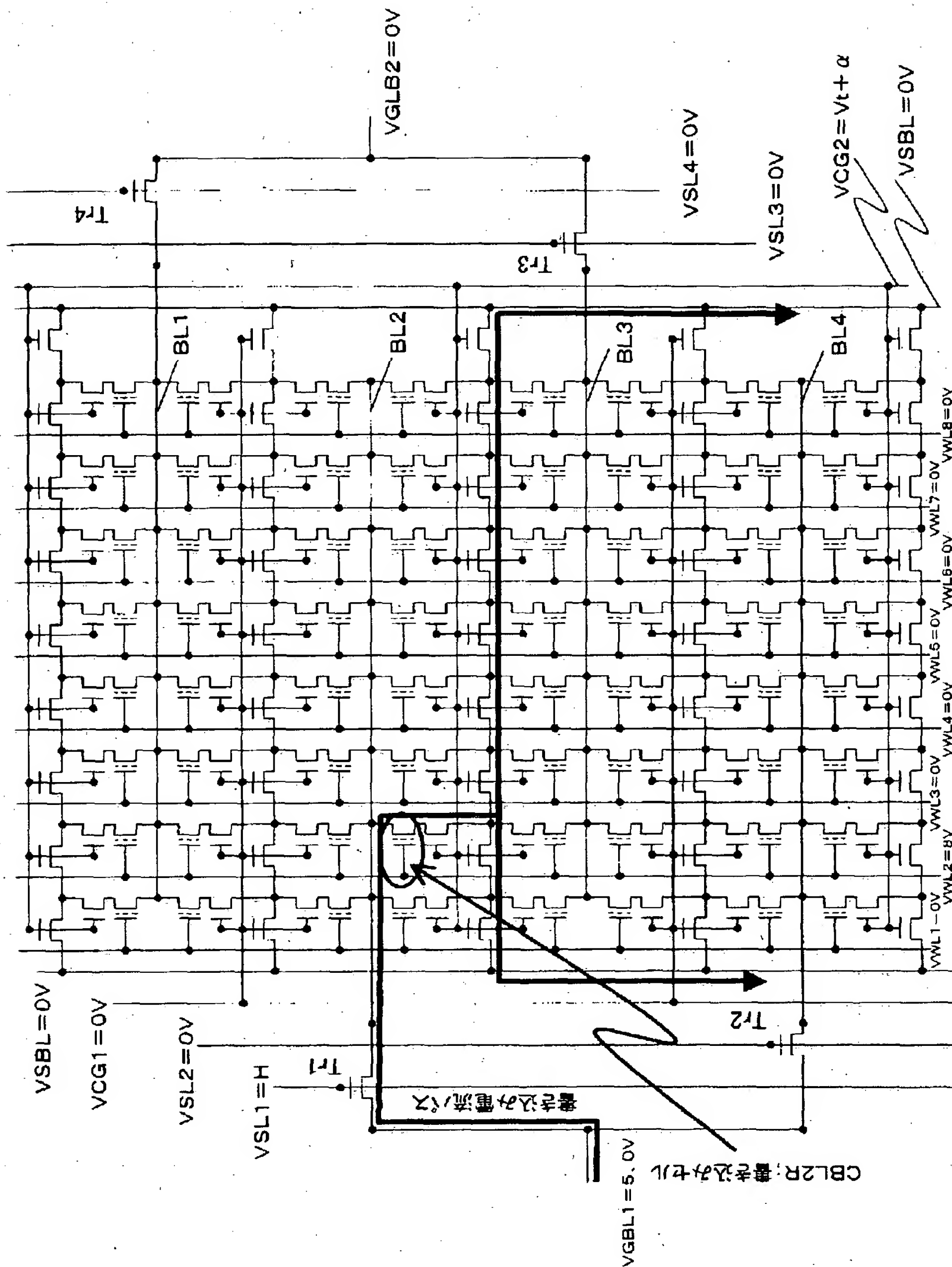
【図 10】



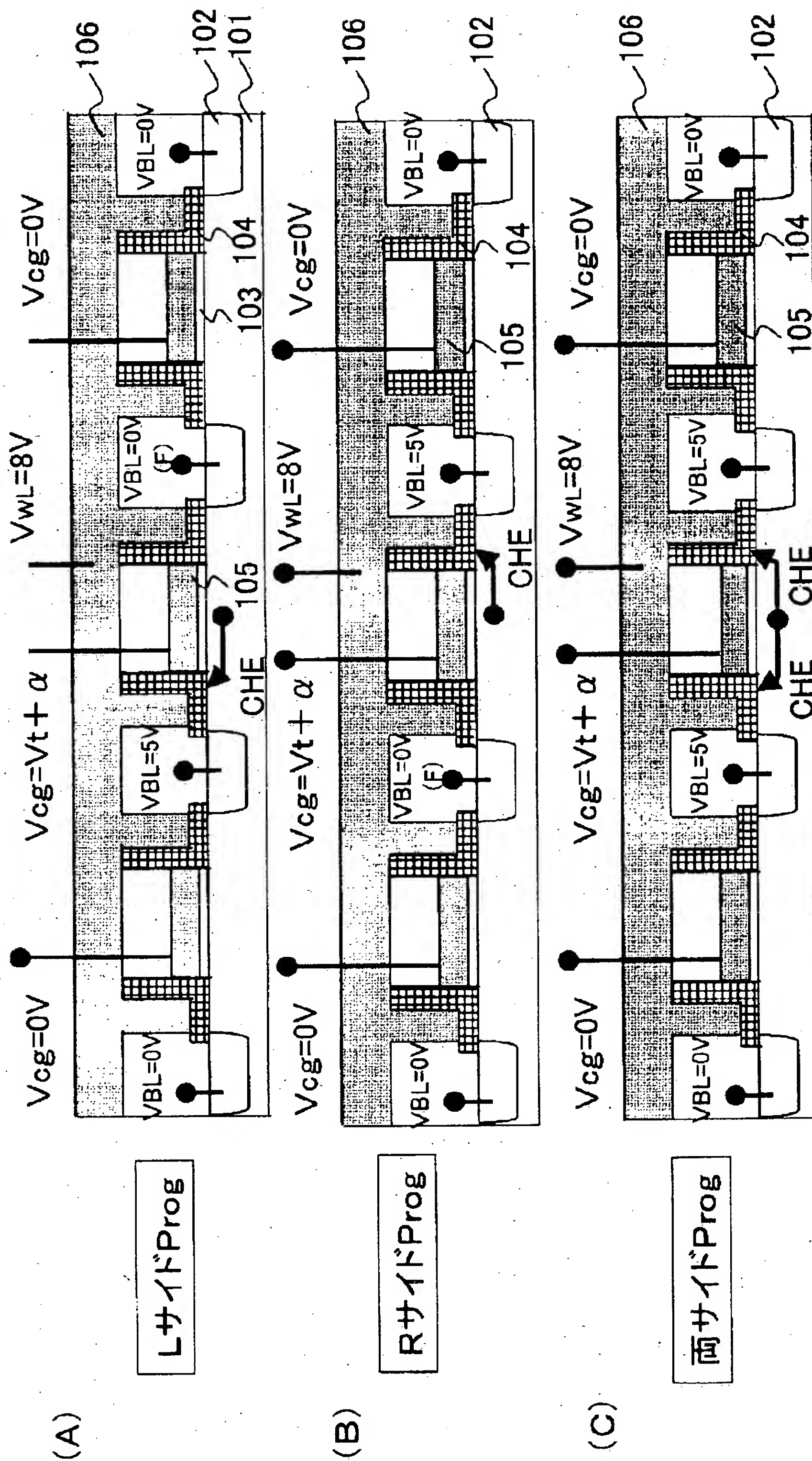
【図 1 1】



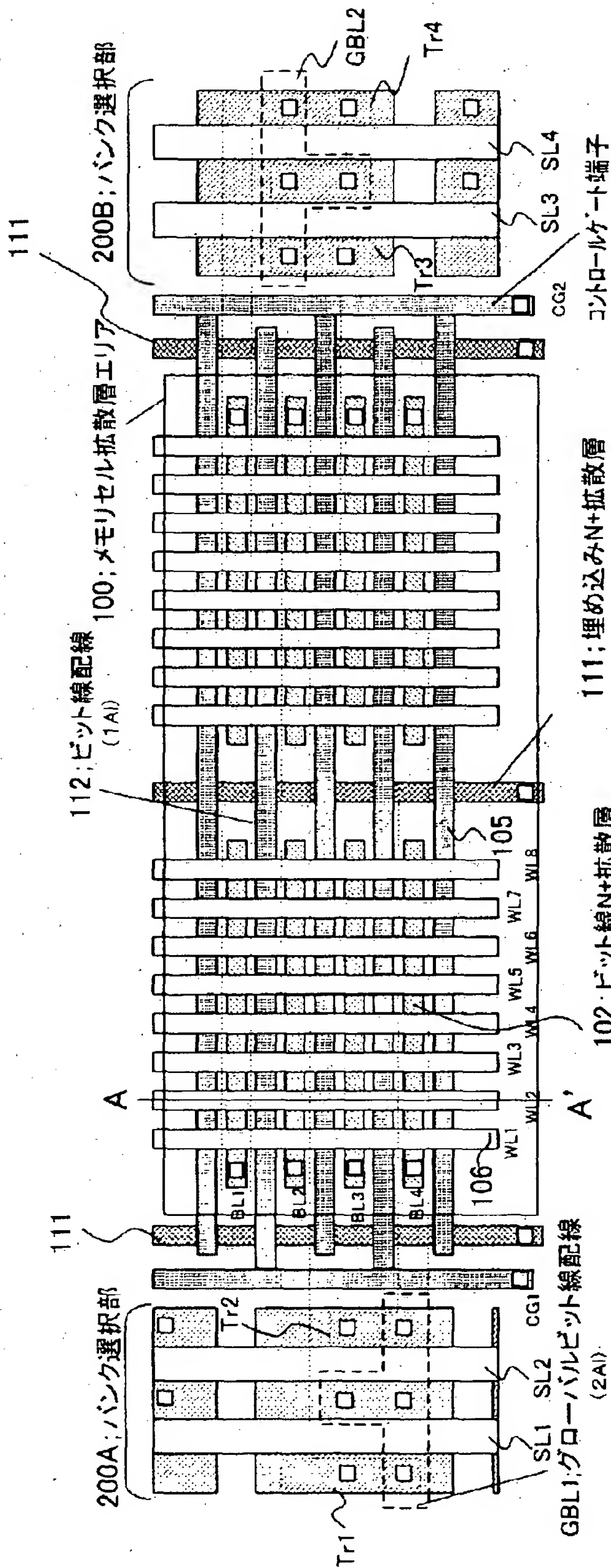
【図12】



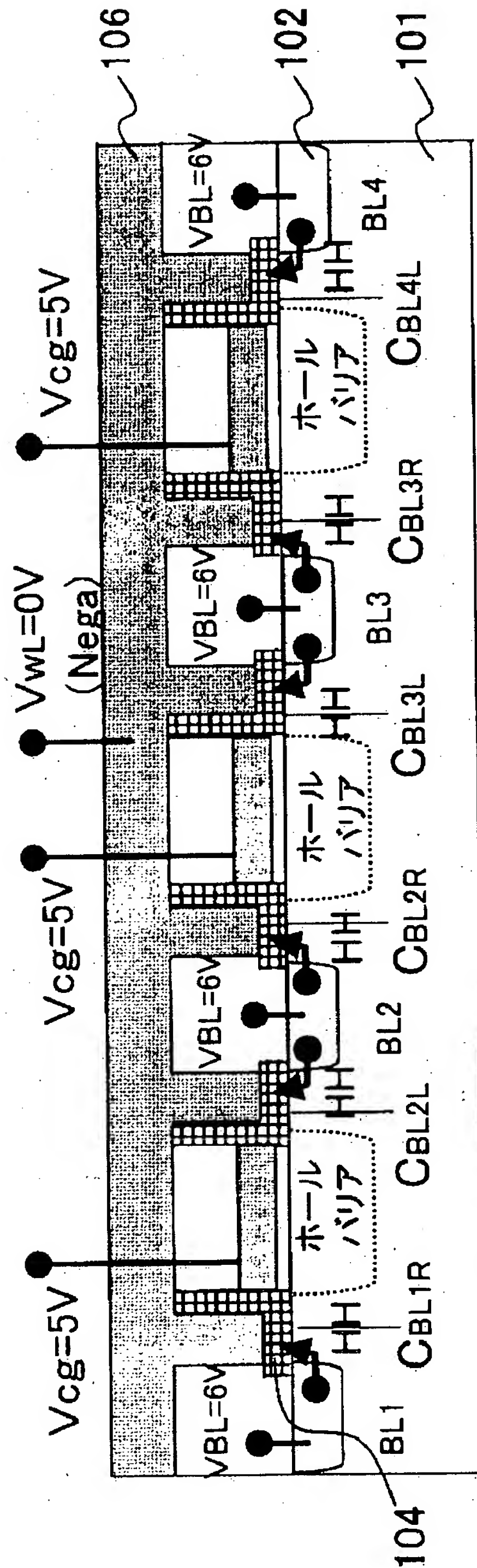
【図 13】



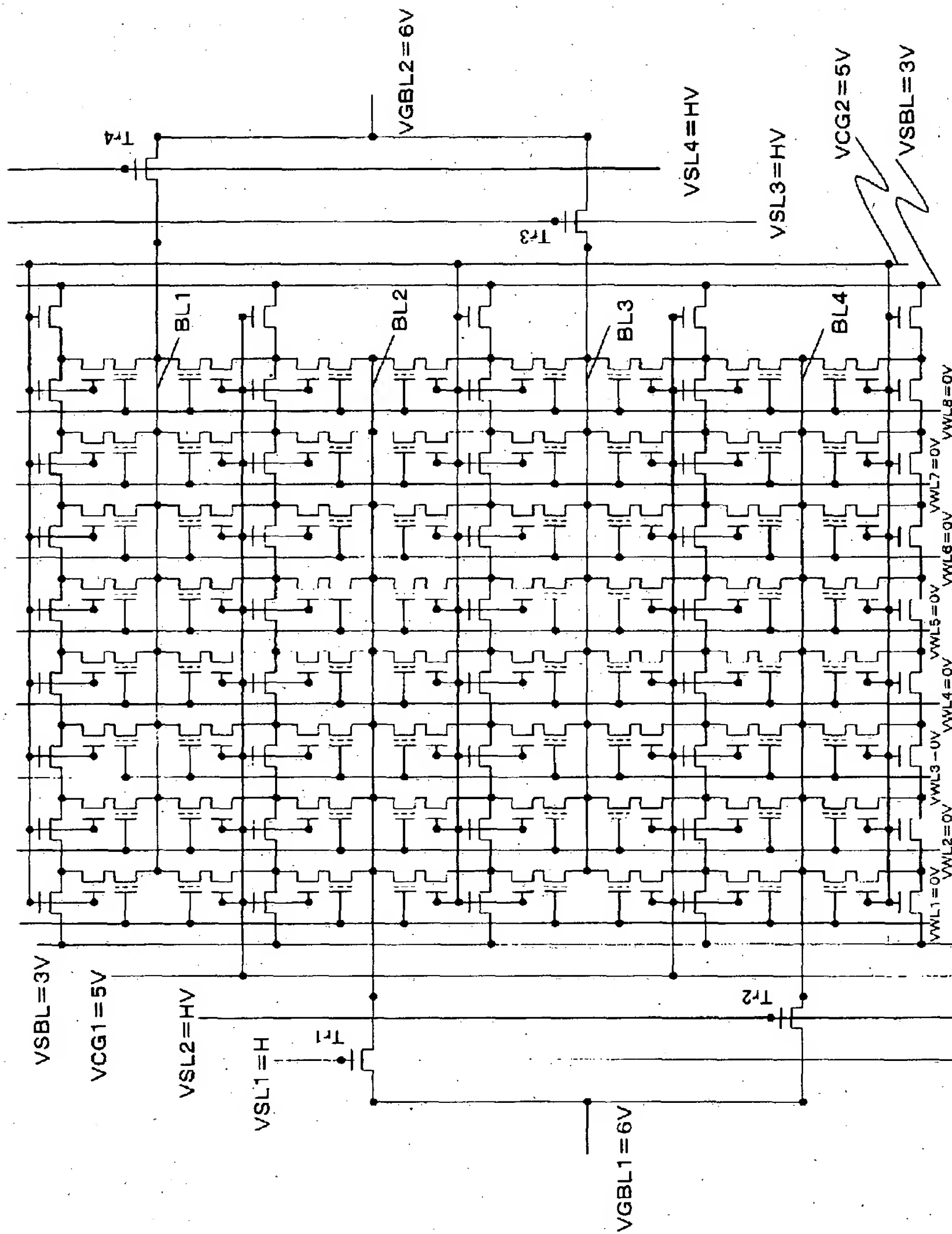
【図 14】



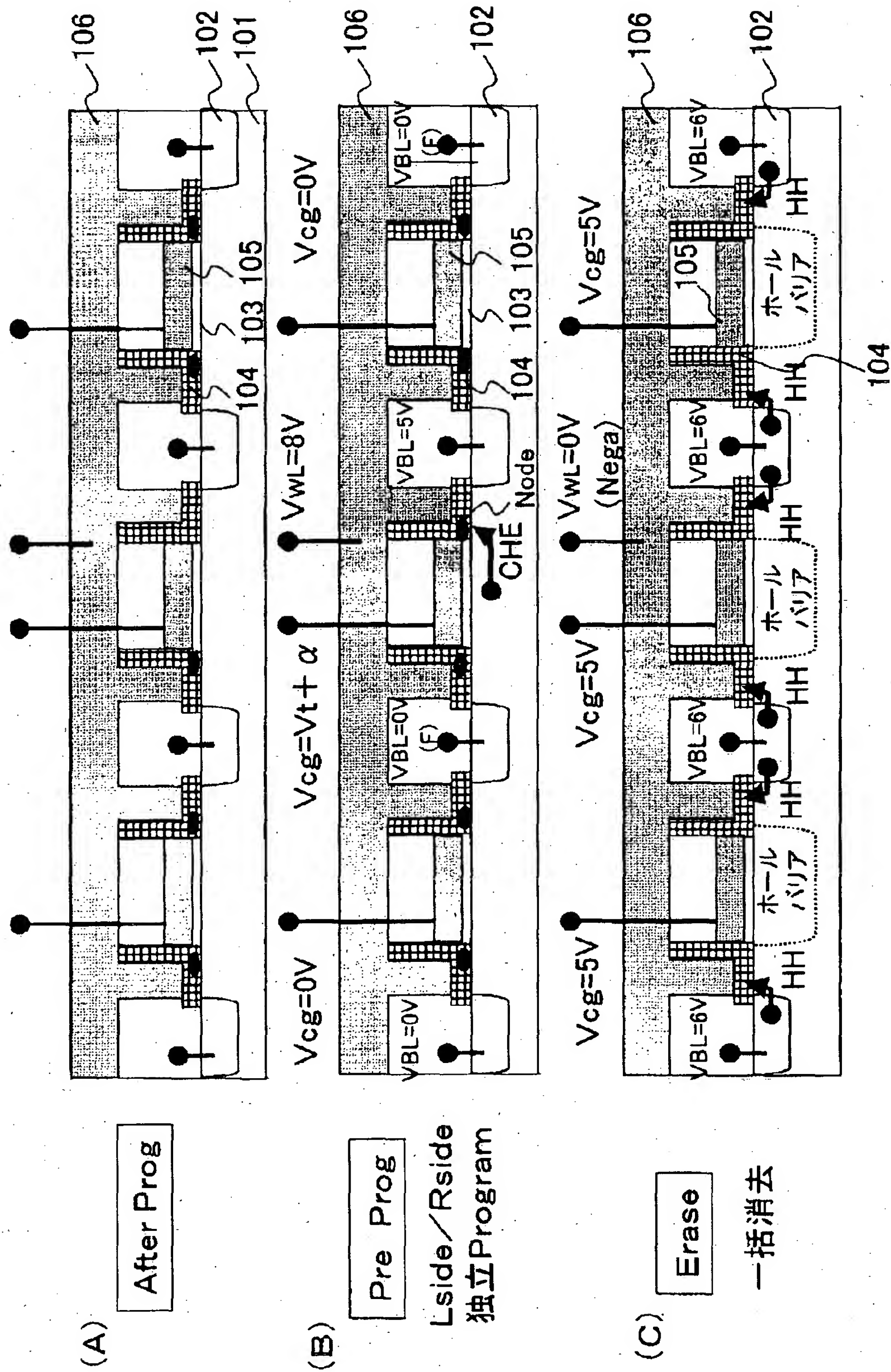
【図 15】



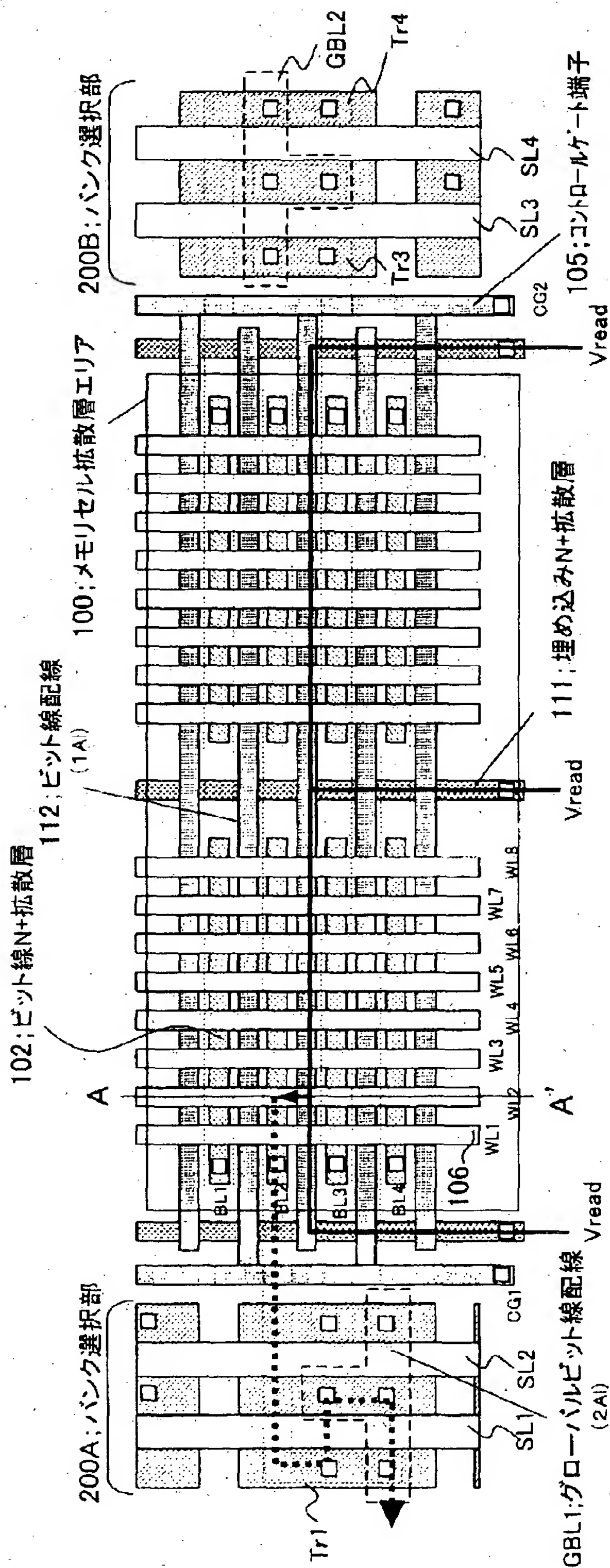
【図16】



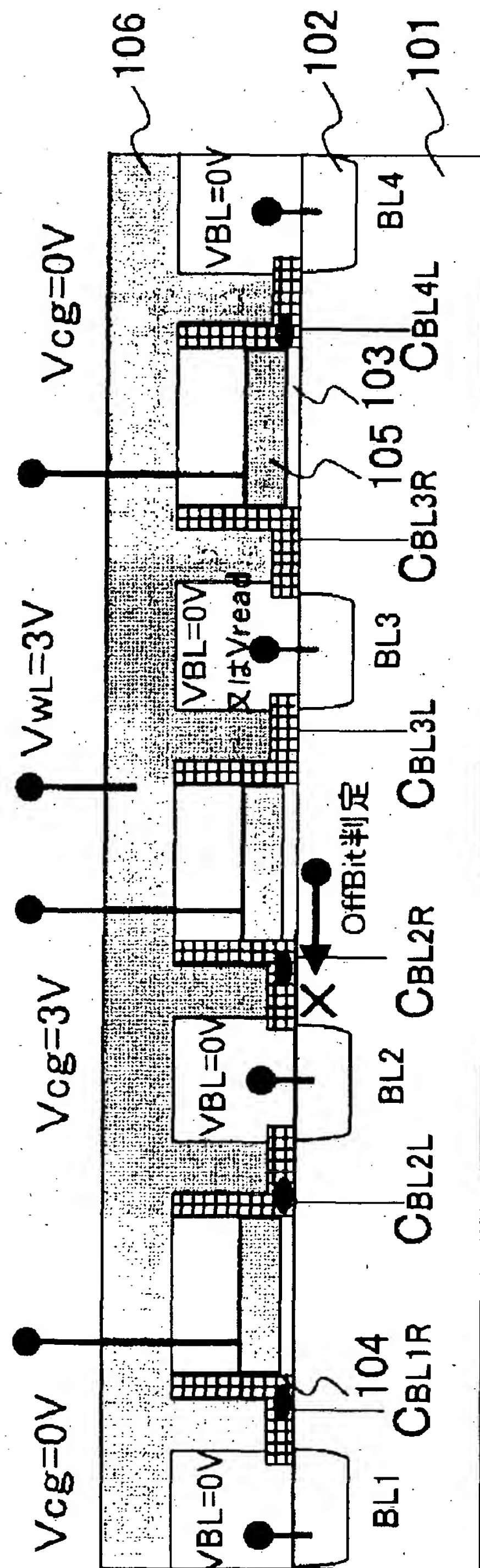
【図 17】



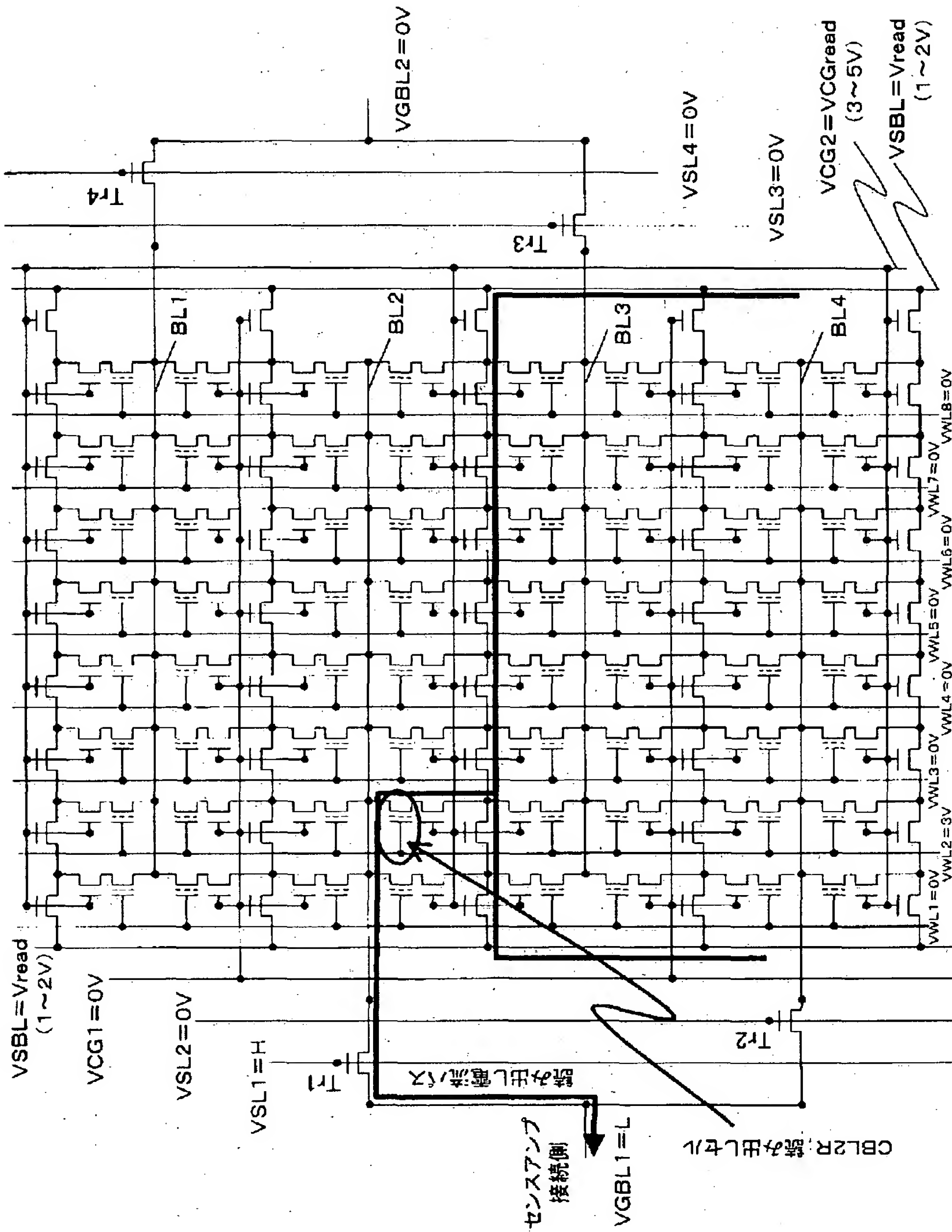
【図18】



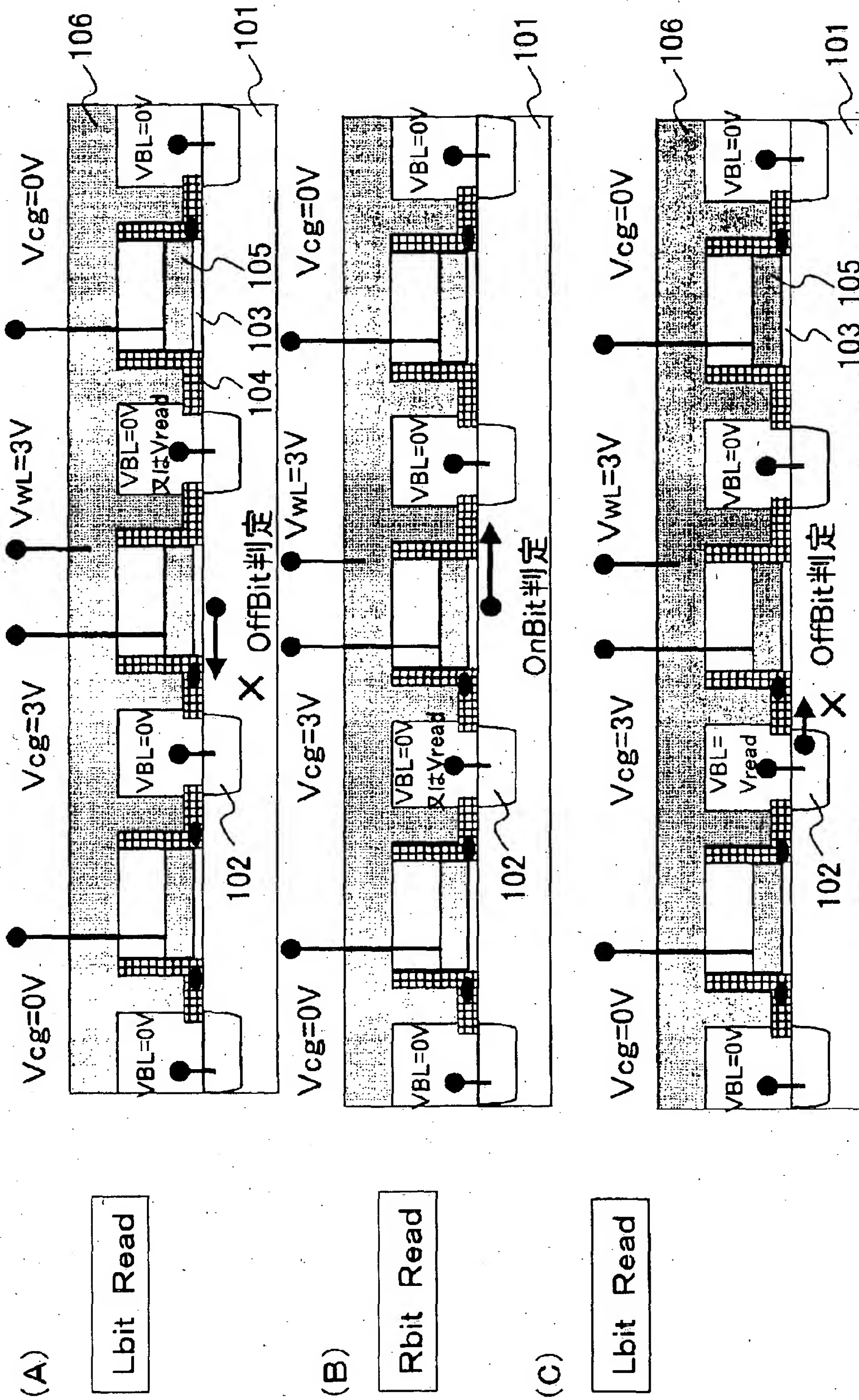
【図 19】



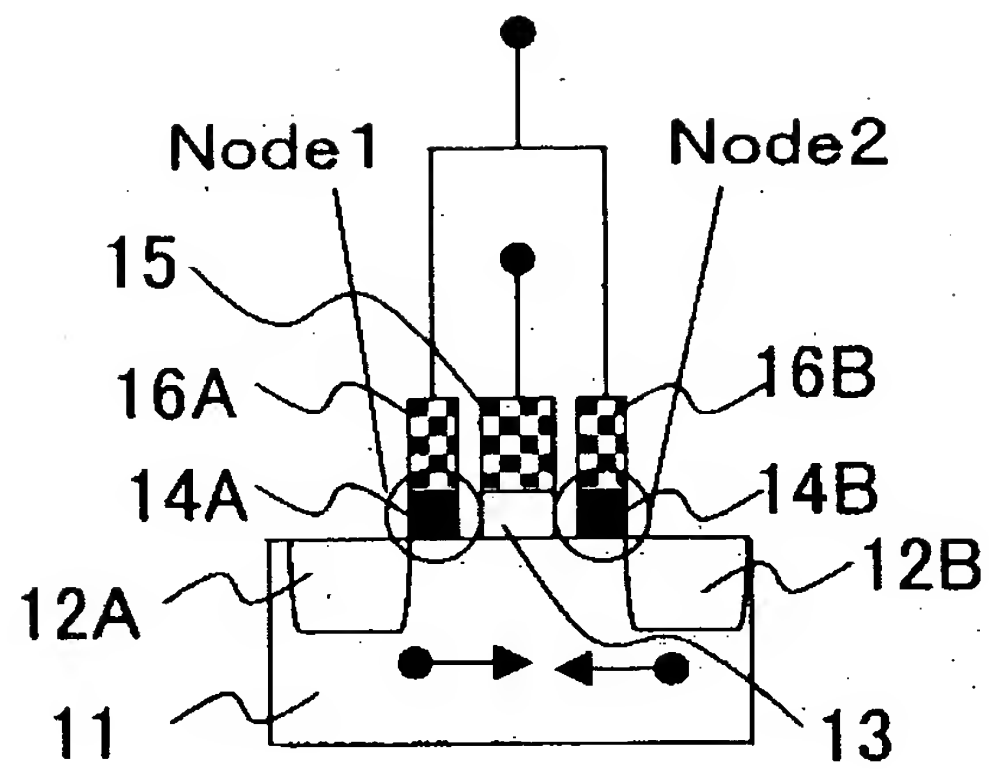
【図20】



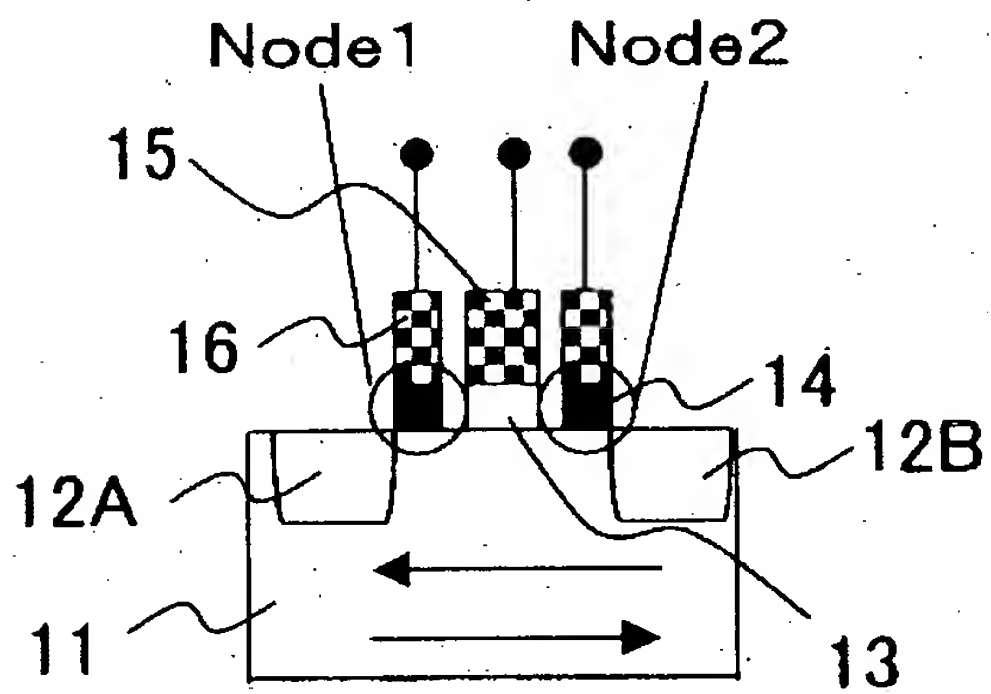
【図 21】



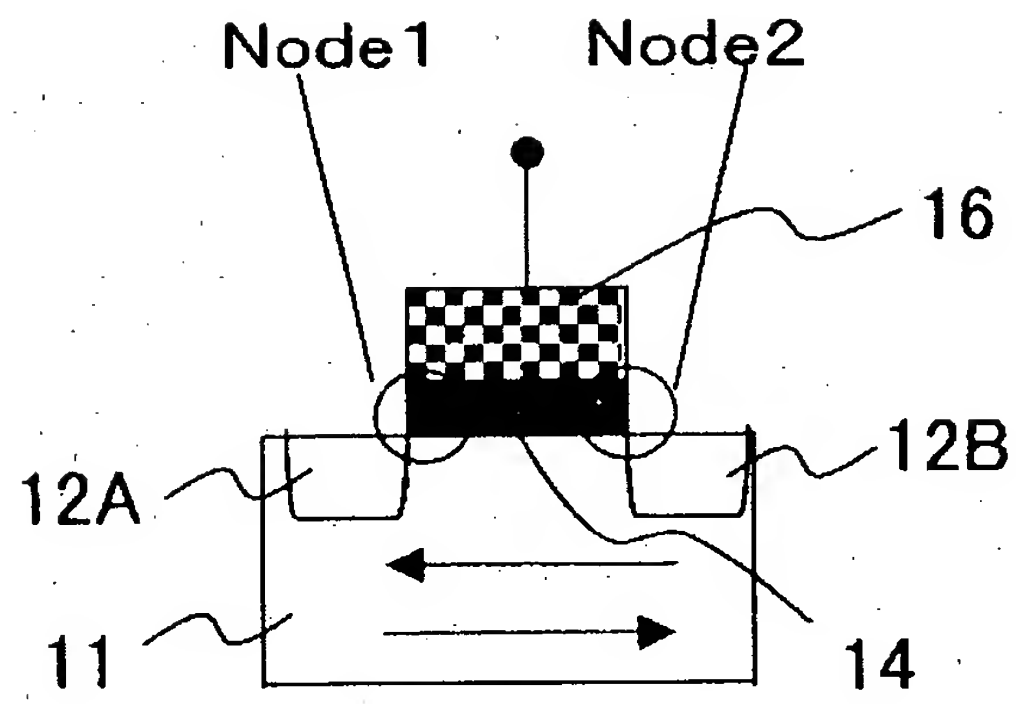
【図 22】



【図 23】

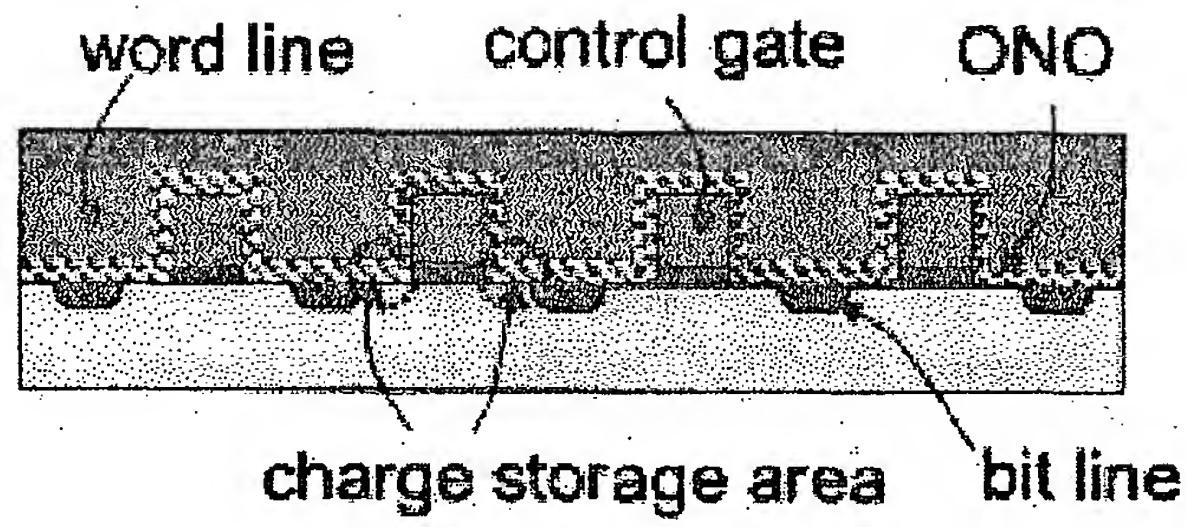


【図 24】

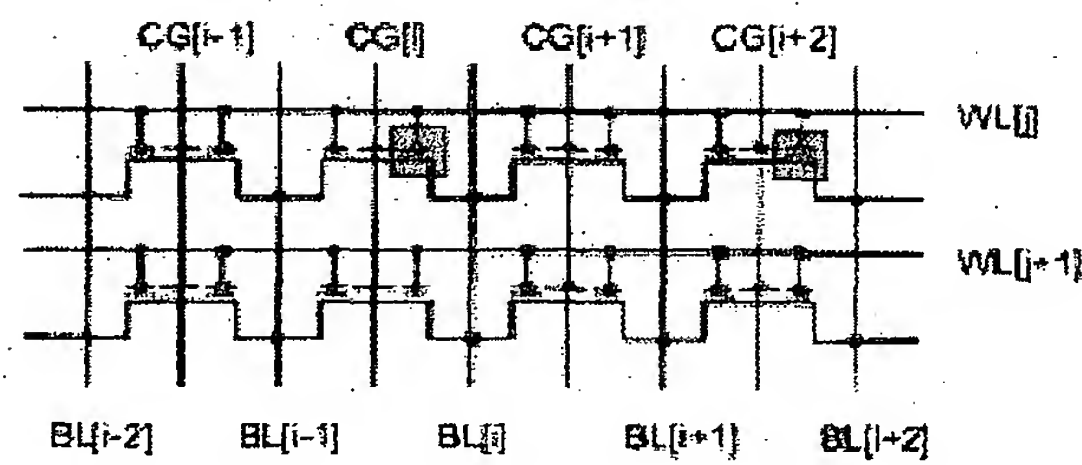


【図 25】

(A)



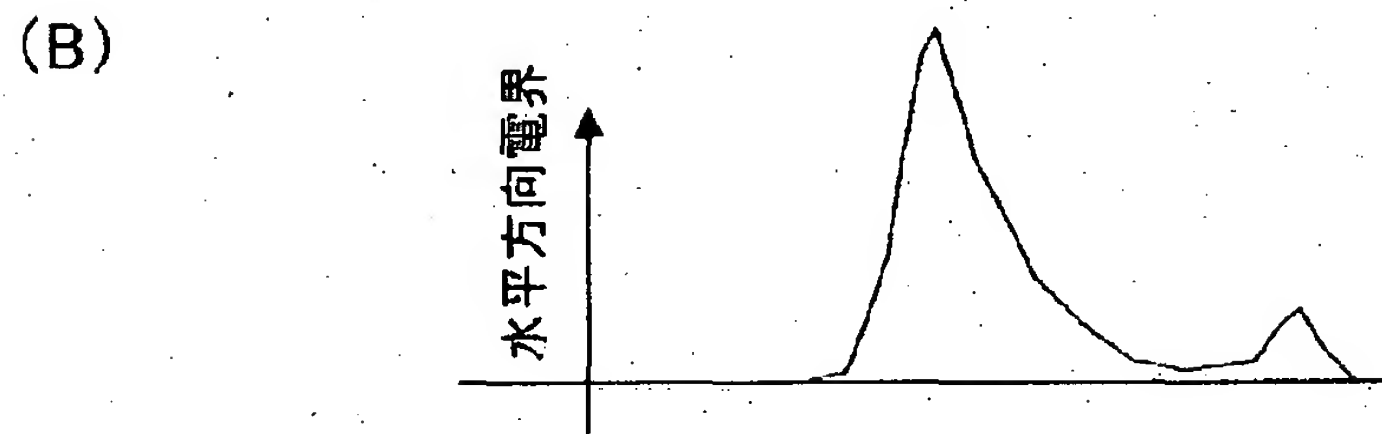
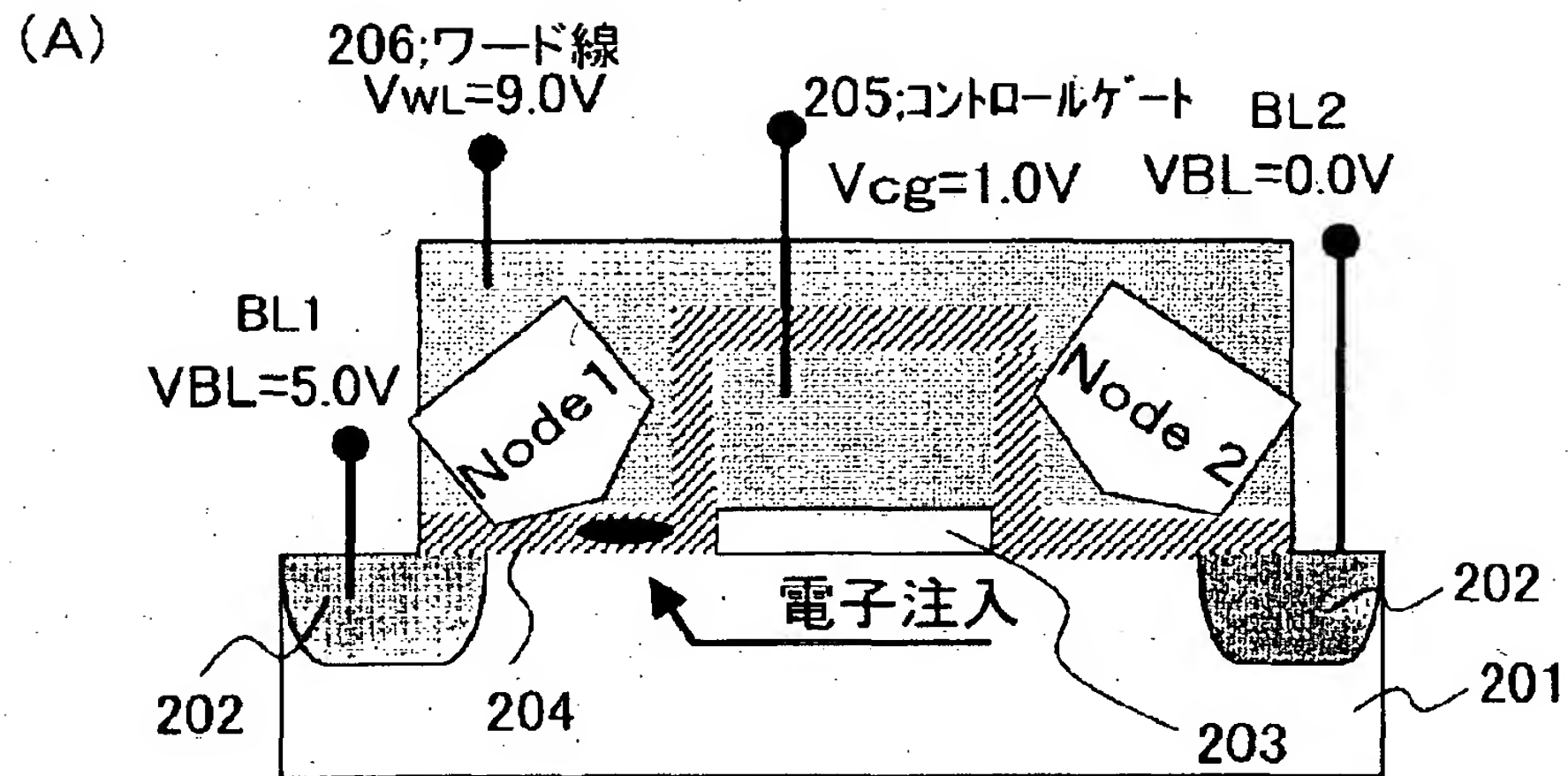
(B)



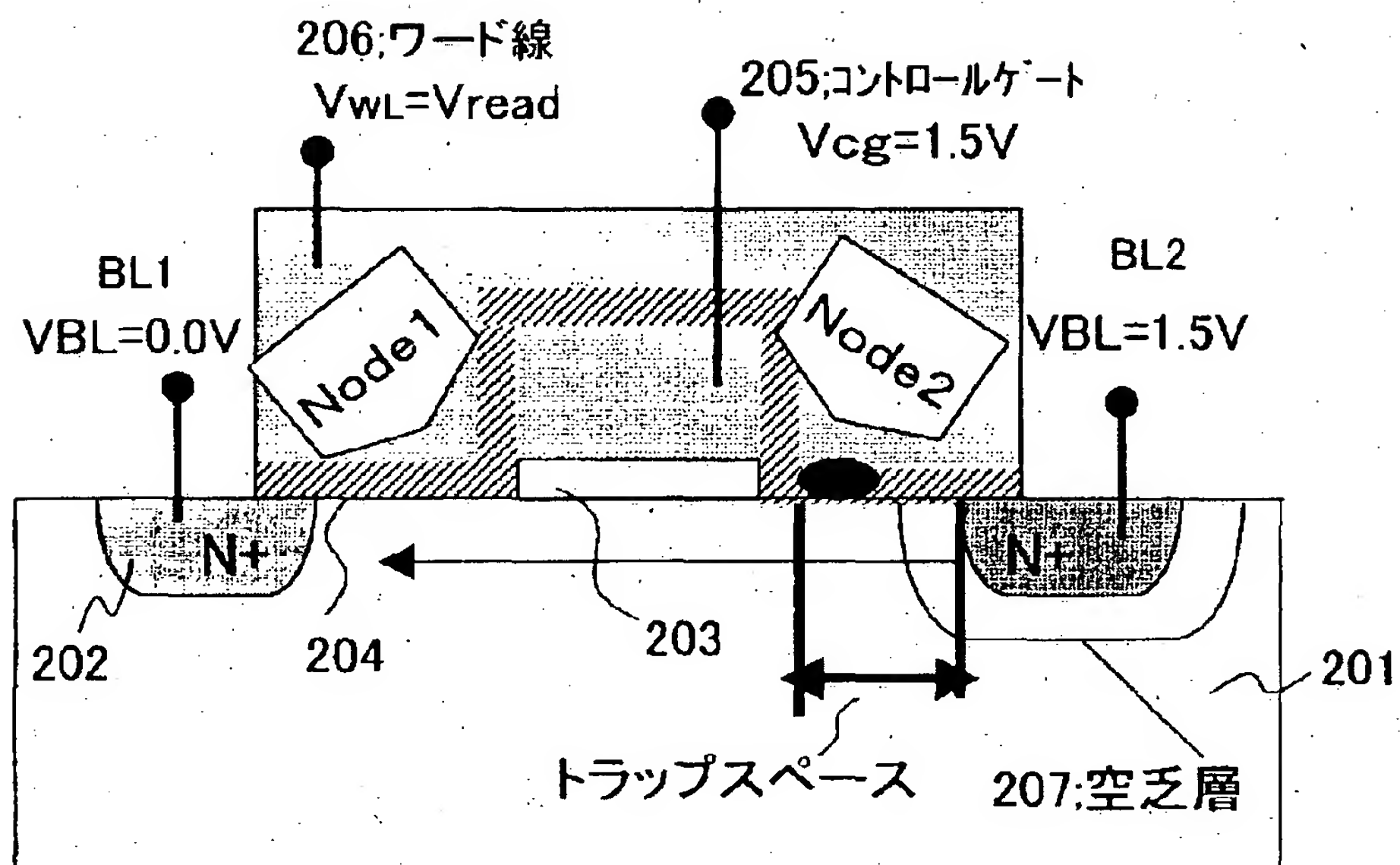
(C)

	WLi (j)	WL(k≠j)	BL(I+2n)	BL(I+2n-1)	CG(I+2n)	CG(I+2n-1)
Prog	9.0V	0.0V	5.0V	0.0V	1.0V/0.0V	0.0V
Erase	0.0V	0.0V	7.0V	0.0V	5.0V	0.0V
Read	Vread	0.0V	0.0V	1.5V	1.5V	0.0V

【図 26】

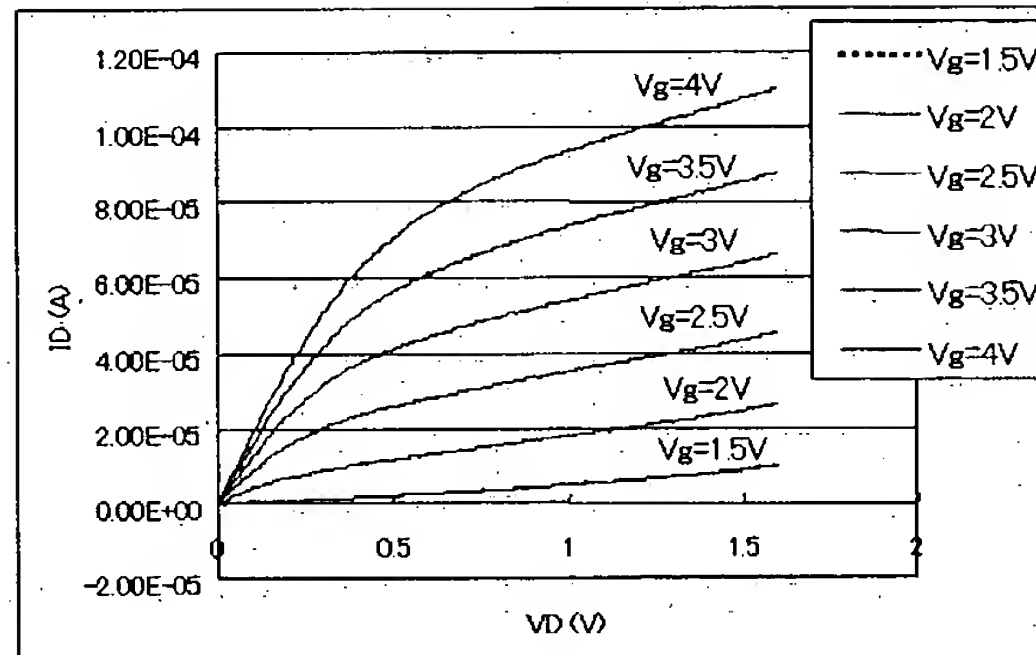


【図27】



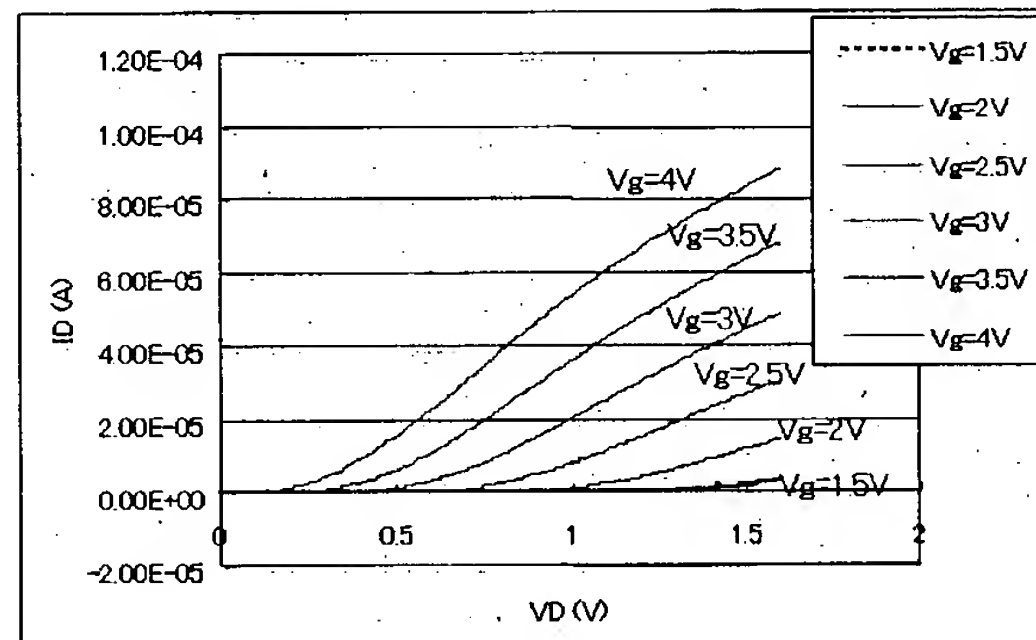
【図 28】

(A)



Node1:Erased
Node2:Erased

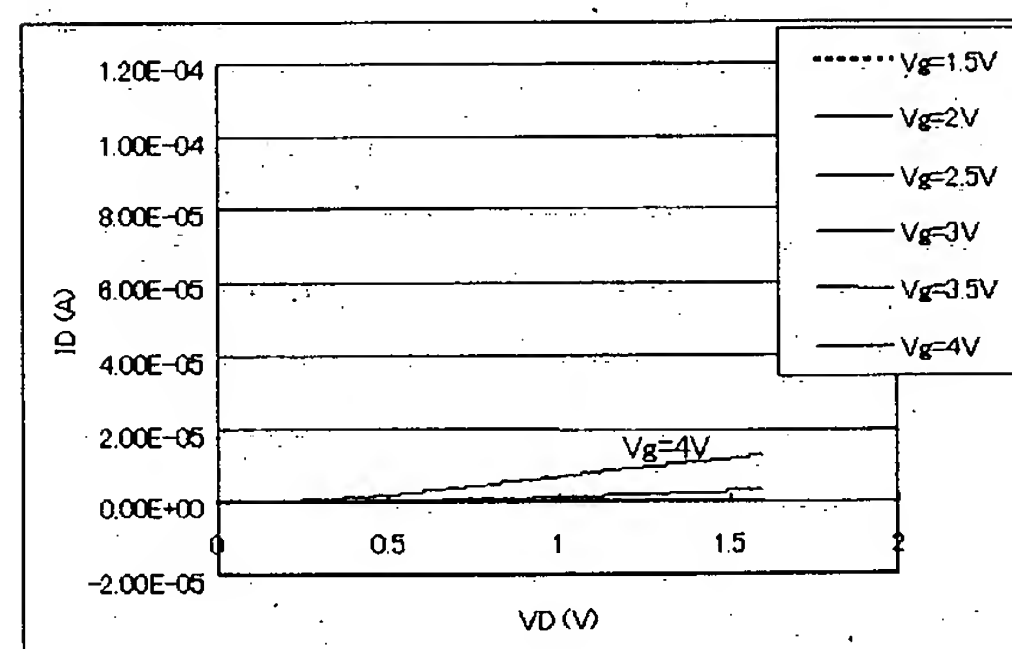
(B)



Node1:Erased
Node2:Programmed

トラップスペース
0.03~0.05um

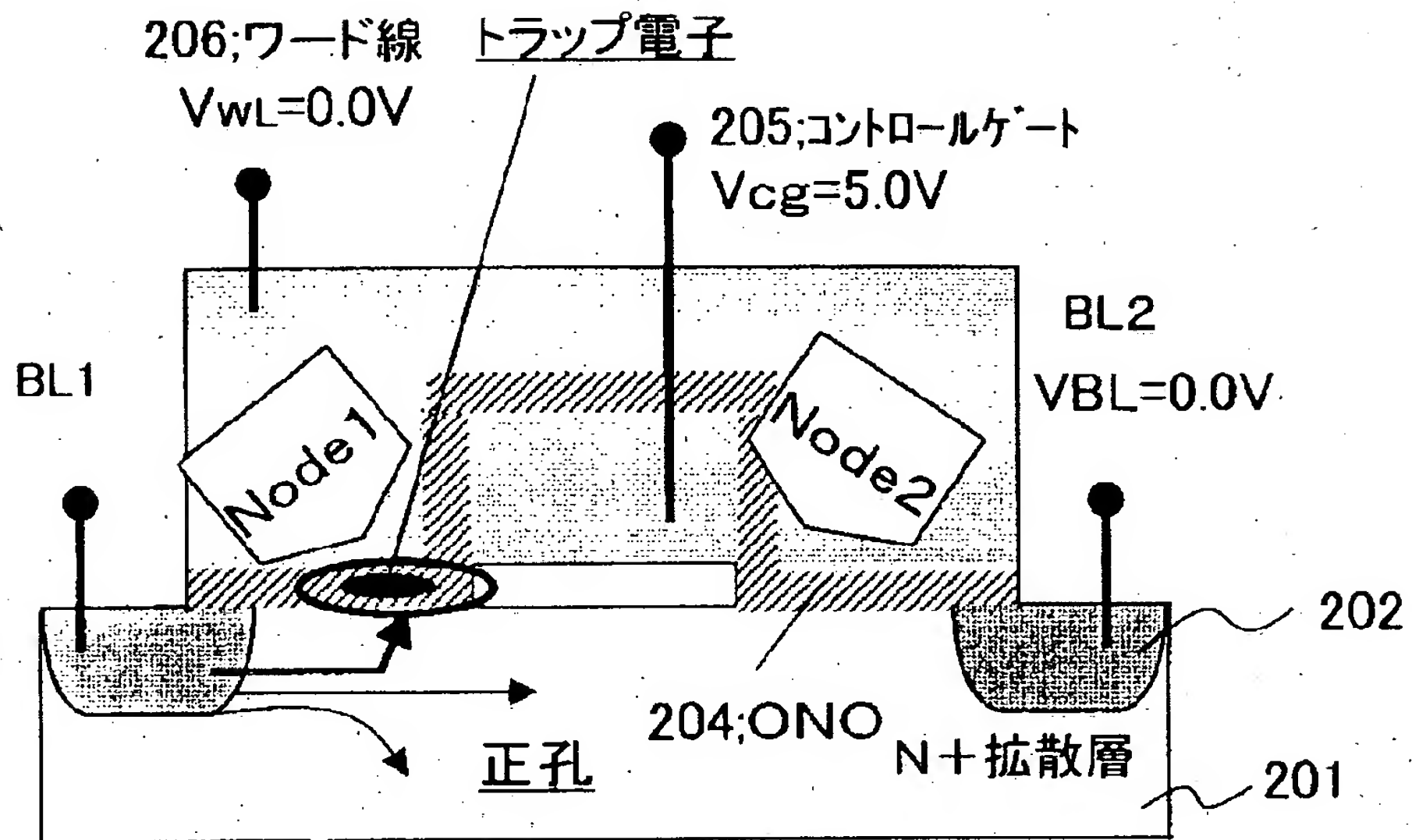
(C)



Node1:Erased
Node2:Programmed

トラップスペース
0.2~0.25um

【図 29】



【書類名】 要約書

【要約】

【課題】

読み出し時の非対象記憶ノードの影響を回避し、非製造ばらつき等に起因する、チャネル電流の変動を抑え、安定な回路動作を得る半導体記憶装置及びその製造方法の提供。

【解決手段】

基板表面に互いに離間して設けられた拡散層 1 2 A、1 2 B と、拡散層 1 2 A に隣接して基板上に設けられた絶縁膜 1 4 A、1 4 B と、絶縁膜 1 4 A、1 4 B の上に設けられたゲート電極 1 6 A、1 6 B と、基板上に設けられた絶縁膜 1 3 と、絶縁膜 1 3 の上に設けられたゲート電極 1 5 と、で 2 ビットのセルを構成し、ゲート電極 1 6 A、1 6 B は共通に接続されワード線電極をなし、ワード線電極に直交する方向に延在されるコントロールゲート電極と、コントロールゲート電極の長手方向の端部に位置する、基板表面の埋め込みの拡散層を有し、Node 1 の読み出しを行う場合、コントロールゲートチャネルをドレインにして読み出し動作を行うことにより、非対象記憶ノード Node 2 を介することなく、対象記憶ノード Node 1 の読み出しを行う構成とされており、非対象記憶ノード Node 2 の影響を受けない。

【選択図】

図 2 2

【書類名】 出願人名義変更届（一般承継）

【整理番号】 75010425

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-225085

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届に添付のものを援用する。

【物件名】 承継人であることを証明する書面 1

【援用の表示】 平成15年1月15日提出の平成9年特許願第2877
43号の出願人名義変更届に添付のものを援用する。

【包括委任状番号】 0216557

【プルーフの要否】 要

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社